

В. А. Чулков

## УСТРОЙСТВА СИНХРОНИЗАЦИИ С ЭЛЕМЕНТАМИ ФАЗОВОЙ ИНТЕРПОЛЯЦИИ

Рассмотрены принципы построения цифровых систем фазовой синхронизации с интерполяцией тактового периода, которая осуществляется путем исполнения местного генератора по кольцевой мультифазной схеме, а также применения элементов фазовой интерполяции. Приведены примеры схем управляемого элемента задержки — каскада кольцевого генератора — и элемента фазовой интерполяции. Описаны структуры интерполирующих устройств фазовой синхронизации с релейной и пилообразной дискриминационными характеристиками схемы фазового сравнения.

**Ключевые слова:** *кольцевой генератор, частота импульсов, элемент задержки, фазовая интерполяция, система автоподстройки задержки, система фазовой синхронизации.*

Цифровые системы фазовой синхронизации (ФС) широко применяются в устройствах передачи и хранения информации благодаря стабильности характеристик, простоте перестройки структуры и параметров, например, при ускоренном достижении синхронизма без ухудшения свойств в режиме слежения [1]. В то же время разрешение цифровых систем по фазе обычно ограничено периодом тактового генератора. Так, при синхронизации высокоскоростной передачи данных, устранении нарушения синхронизации в микропроцессорных системах, измерении временных и фазовых отношений точность традиционных цифровых систем оказывается недостаточной. Достичь в этих условиях разрешающей способности аналоговых систем при сохранении достоинств цифрового управления позволяет способ фазовой интерполяции.

Интерполяция как процедура создания точек отсчета сигналов внутри тактового периода осуществляется с помощью мультифазного кольцевого генератора (МФГ) импульсов и специальных элементов фазовой интерполяции (ФИ). При этом обычно имеется в виду равномерная интерполяция, когда опорный период разделяется на множество равных субквантов времени.

Интегральный МФГ в виде замкнутой цепи элементов задержки (цифровой линии задержки — ЦЛЗ) с общей инверсной обратной связью вследствие высокой чувствительности к изменению температуры и питающего напряжения требует стабилизации частоты. С этой целью элементы задержки в ЦЛЗ снабжаются средствами электронного регулирования, а подстройка к опорной частоте  $f_0$  выполняется либо по схеме PLL (Phase Lock Loop — система фазовой синхронизации), либо по схеме DLL (Delay Lock Loop — система автоподстройки задержки) [2, 3] (рис. 1, а, б соответственно). Обратная связь в этих схемах осуществляется, как правило, посредством широтно-импульсного фазового компаратора (ФК), блока накачки заряда (БНЗ) и фильтра низких частот (ФНЧ).

По технологии КМОП элементы задержки могут выполняться в однофазном или дифференциальном варианте [4], время задержки регулируется путем изменения рабочих токов, которыми перезаряжаются внутренние емкости схемы или емкости ее нагрузки. Диапазон перестройки элементов задержки должен перекрывать октаву, чтобы компенсировать технологический разброс параметров элементов, изменение температуры и нестабильность питающего напряжения. Дифференциальные элементы предпочтительны с точки зрения обеспечения минимума задержки и числа одновременно доступных фаз МФГ, однако проигрывают

однофазным элементам по величине размаха генерируемых импульсов, — для их сопряжения с цифровыми схемами требуются дополнительные каскады.

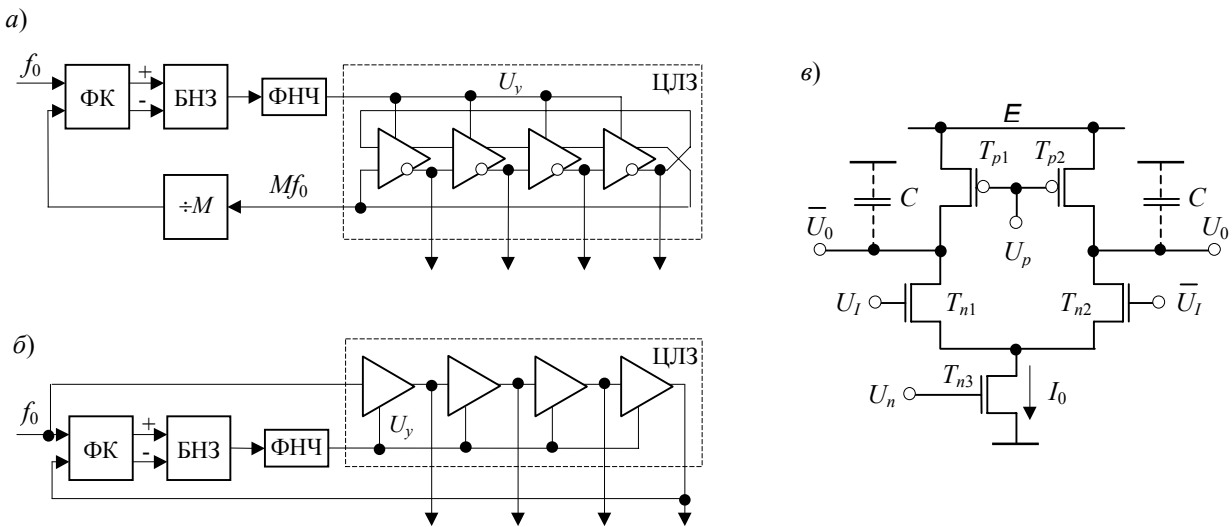


Рис. 1

На рис. 1, в показан пример схемы дифференциального элемента задержки. В этой схеме для поддержания неизменного размаха выходных импульсов в качестве стоковой нагрузки применены  $p$ -канальные транзисторы в триодном включении. Время задержки такой схемы зависит от рабочего тока  $I_0$ , задаваемого управляющим напряжением  $U_n$ , и в первом приближении оценивается как

$$t_D \approx \frac{C \Delta U_0}{I_0},$$

где  $C$  — емкость нагрузки каждого выхода,  $\Delta U_0$  — размах выходного напряжения.

При полном переключении аналогичного буфера задержки, подключенного к выходам данного элемента, необходимо, чтобы величина  $\Delta U_0$  составляла не менее  $\sqrt{2}(U_{3-н} - U_{п})$ , где  $U_{п}$  — пороговое напряжение  $n$ -канального транзистора,  $U_{3-н}$  — напряжение между его затвором и истоком.

Элементы ФИ служат для увеличения числа фаз МФГ, принцип их действия основан на взвешенном суммировании двух опорных колебаний с перекрывающимися во времени фронтами. В результате сложения формируется третье колебание со средней относительно опорных колебаний фазой. На рис. 2, а показана схема дифференциального элемента ФИ, в котором суммируются токи источников, коммутируемых опорными импульсами  $X$  и  $Y$ .

Опорные импульсы  $X$  и  $Y$ , проходя через буферные каскады задержки, смещаются по оси времени на  $t_D$  (выходы  $X_D, Y_D$ ). Интерполирующий сигнал  $Z_D$  образуется на выходе каскада ФИ, его фронты располагаются между фронтами опорных сигналов в соответствии с коэффициентом интерполяции  $a$ , отражающим распределение тока смещения  $I_0$  между плечами каскада ФИ. В момент поступления сигнала  $X$  включается источник тока  $I_0$  в буфере  $X$  и одновременно ток  $aI_0$  в двояном буфере  $Z$ . Через интервал времени  $\Delta t$  поступает сигнал  $Y$ , в результате включается источник тока  $I_0$  в буфере  $Y$  и ток  $(1-a)I_0$  в буфере  $Z$ . В итоге заряд емкости нагрузки в буфере  $Z$  вначале в течение времени  $\Delta t$  осуществляется током  $aI_0$ , а затем током  $I_0$ . Коэффициент интерполяции может быть фиксированным или же регулиро-

ваться аналоговым либо цифровым способом, если  $a=1/2$ , то импульс  $Z_D$  расположен между импульсами  $X_D$  и  $Y_D$ . Каскадирование элементов ФИ позволяет с каждым каскадом удваивать число рабочих фаз. В схеме блока ФИ (рис. 2, б) балластные элементы, не несущие функциональной нагрузки, но необходимые для задержки опорных импульсов с целью выравнивания интерполирующей шкалы, выделены серым фоном.

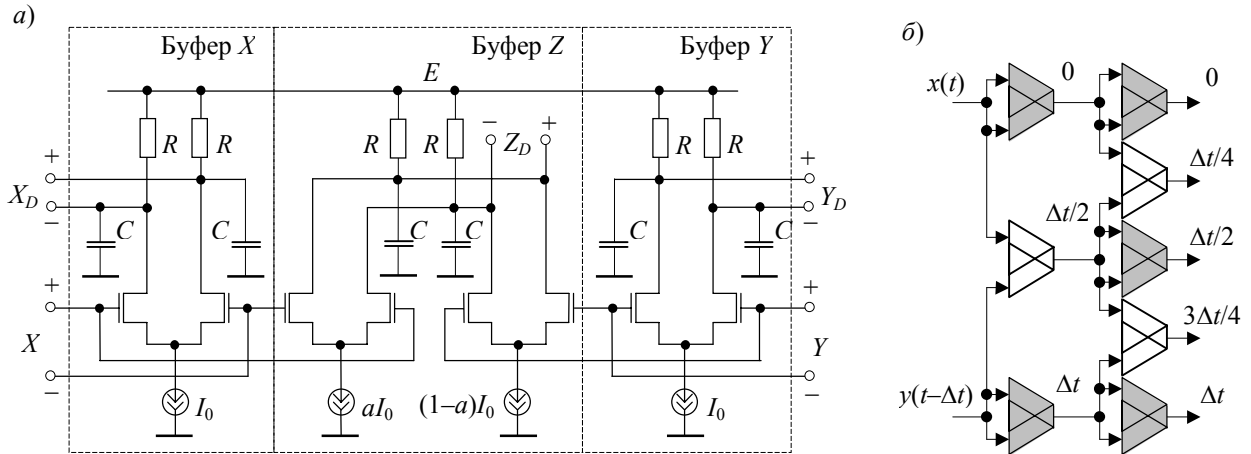


Рис. 2

Принцип действия интерполирующих систем фазовой сигнализации основан на управляемой селекции выхода МФГ, импульс которого в текущем такте служит выходным импульсом  $Y$  системы в соответствии с результатом его фазового сравнения с входным импульсом  $X$ . Структура контроллера, управляющего процессом селекции и выполняющего функции ФК и цифрового фильтра, зависит от решаемой задачи [5]. На рис. 3 представлены некоторые схемы ФС, отличающиеся формой дискриминационной характеристики и шагом квантования фазы. Все они способны работать с нерегулярными входными сигналами и, следовательно, могут быть использованы для восстановления синхронизации в приемниках.

В простейшем исполнении система имеет дискриминационную характеристику фазового сравнения релейного типа и ограниченную полосу захвата ввиду того, что выходная фаза корректируется в очередном такте не более, чем на  $2\pi/N$  ( $N$  — число фаз МФГ). Функции контроллера в варианте подобной схемы (см. рис. 3, а) возложены на реверсивный распределитель импульсов на основе регистра сдвига (RG) с обратной связью через вентиль ИЛИ-НЕ [6]. Выходной вентиль исключает ИЛИ служит управляемым инвертором, с помощью которого перекрывается полный диапазон  $0..2\pi$  регулирования фазы  $Y$  (за счет этого разрядность МФГ и цифровых узлов сокращается вдвое). Логический блок задает режим управляемого инвертора, реагируя на направление перемещения „1“ в распределителе импульсов из крайних разрядов регистра. С каждым входным импульсом  $X$  происходит перемещение „1“ по распределителю, направление перемещения и соответственно направление коррекции фазы  $Y$  зависят от фазового отношения между импульсами  $X$  и  $Y$ . Таким образом, система осуществляет фазовую автоподстройку импульса  $Y$  без воздействия на частоту МФГ, что отличает ее от традиционной системы фазовой автоподстройки частоты. Если частота входных сигналов равна частоте МФГ, то состояние синхронизма достигается в наихудшем случае за  $N$  периодов регулирования, в остальных случаях выходному импульсу  $Y$  и в режиме синхронизма приходится „догонять“ постоянно смещающийся по фазе входной сигнал. Автоподстройка возможна, если относительная расстройка частоты МФГ не превышает значения  $\delta=1/2N$ , при этом время

установления синхронизма  $t_{уст} = N/f_0(1-2N\delta)$ , где  $f_0 = 1/2Nt_D$  — частота МФГ,  $t_D$  — задержка каждого его каскада. Погрешность синхронизации системы равна  $\pm t_D$  или в фазовом исчислении  $\Delta\varphi = \pm \pi/N$ .

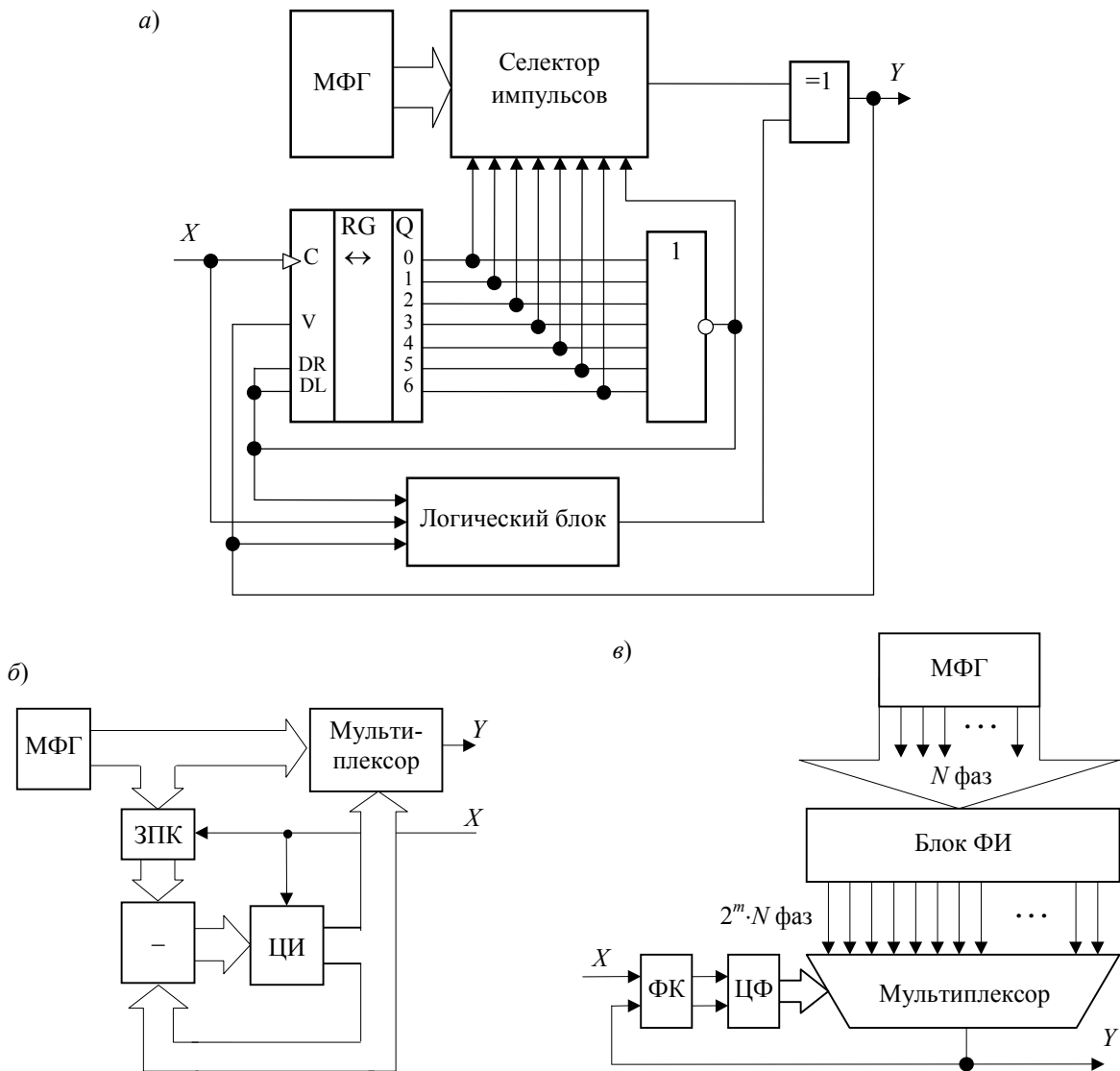


Рис. 3

Устранить несоответствие между точностью, требующей увеличения числа фаз МФГ, и шириной полосы синхронизации интерполирующей системы ФС удастся заменой релейной формы характеристики фазового сравнения пилообразной [7]. В такой системе (см. рис. 3, б) фазовое сравнение выполняется путем вычитания цифровых кодов фазы сигналов  $X$  и  $Y$ , которые отсчитываются по субшкале МФГ. Отсчет фазы импульса  $X$  производится в момент его поступления запоминающим преобразователем кода (ЗПК), цифровой код фазы  $Y$  постоянно присутствует на выходе цифрового интегратора (ЦИ), определяющего адрес мультиплексора и выполняющего функции фильтра системы.

При таком подходе к фазовому сравнению количество выходов МФГ можно было бы неограниченно увеличивать без ущерба для характеристик установления синхронизации. Однако ввиду конечной задержки каскада МФГ это может привести к снижению его частоты. Поэтому чтобы повысить точность, необходимо уменьшить шаг дискретизации времени до значений, меньших времени задержки элемента, что возможно лишь при использовании эле-

ментов фазовой интерполяции. В устройстве ФС, структура которого показана на рис. 3, в, для этого применяется  $m$ -каскадный блок ФИ, умножающий число фаз генератора в  $2^m$  раз.

Важно отметить, что, в отличие от задач измерительного преобразования интервалов времени, в задаче синхронизации к интерполяции не предъявляется требование линейности, требование же монотонности регулировочной характеристики выполняется естественным образом. Уменьшая путем интерполяции шаг квантования фазы, можно повышать точность синхронизации вплоть до некоторого предела, обусловленного шумовыми факторами, проявляющимися как джиттер выходных импульсов блока ФИ. Таким образом, интерполяция принципиально позволяет сочетать точность аналоговых систем со стабильностью и расширенными функциональными возможностями цифровых систем.

#### СПИСОК ЛИТЕРАТУРЫ

1. Цифровые системы фазовой синхронизации / М. И. Жодзишский, С. Ю. Сила-Новицкий, В. А. Прасолов и др.; Под ред. М. И. Жодзишского. М.: Сов. радио, 1980.
2. Boerstler D.W. A low-jitter PLL clock generator for microprocessors with lock range of 340-612 MHz // IEEE J. of Solid-State Circuits. 1999. Vol. 34, Apr. P. 513.
3. Kim C., Hwang I.-C., Kang S.-M. A low-power small-area  $\pm 7.28$ -ps-jitter 1-GHz DLL-based clock generator // IEEE J. of Solid-State Circuits. 2002. Vol. 33, N 11. P. 1414—1420.
4. Maharaptra N. R., Tareen A., Garimella S. V. Comparison and analysis of delay elements // Pros. IEEE Computer Society Annual Workshop on VLSI (WVLSI 2000), Orlando, FL, Apr. 27—28, 2000. P. 81—86.
5. Чулков В. А. Генераторы импульсов с фазовым субквантованием // Изв. вузов. Приборостроение. 2004. Т. 47, № 8. С. 28—34.
6. Пат. 2267221 РФ. Цифровое устройство фазовой синхронизации / В. А. Чулков.
7. Пат. 2119717 РФ. Устройство фазовой синхронизации / В. А. Чулков.

#### Сведения об авторе

**Валерий Александрович Чулков**

— канд. техн. наук, доцент; Пензенская государственная технологическая академия, кафедра вычислительных машин и систем, профессор; E-mail: chu@pgta.ac.ru

Рекомендована кафедрой  
вычислительных машин и систем

Поступила в редакцию  
13.05.09 г.