

Н. М. САФЬЯННИКОВ, П. Н. БОНДАРЕНКО

ПРЕОБРАЗОВАТЕЛЬ КОД—ЧИСЛО ИМПУЛЬСОВ С АКТУАЛИЗАЦИЕЙ СОСТОЯНИЙ

Рассматривается оригинальный преобразователь код—число импульсов, структура которого строится поразрядно без увеличения числа входов элементов от разряда к разряду, что позволяет увеличить быстродействие и улучшить топологические характеристики устройства, особенно при большой разрядности.

Ключевые слова: частота, актуализация, код, число, импульс, преобразователь, быстродействие, разрядность, разрядно-модульный макроэлемент.

При создании технических систем широко распространенной задачей является преобразование кода в частоту или кода в число импульсов. Например, в системах автоматического управления используется управляемый делитель частоты, который преобразует цифровой код в частотную последовательность для регулирования вращения двухфазного асинхронного двигателя [1], а в нейросетевых преобразователях импульсно-аналоговой информации — для формирования синаптической связи с выходом в виде частоты [2]. Для решения указанной задачи применяется устройство “Pulse-Rate Multiplier” [3], которое называют также делителем частоты с переменным коэффициентом деления [4]. По своему функциональному назначению это устройство является преобразователем кода в число импульсов (ПКЧ) и входит в состав некоторых серий элементов, например, в 155-й серии это микросхема ИЕ8. Эта схема с необходимой разрядностью в настоящее время используется в качестве библиотечного элемента при проектировании устройств на программируемой логике (ПЛИС).

Средняя частота F_y импульсной последовательности на выходе ПКЧ определяется выражением

$$F_y = F_0 \frac{N}{2^n}, \quad (1)$$

где F_0 — входная тактовая частота устройства, $N = \sum_{i=1}^n T_i 2^{i-1}$ — входной код устройства,

$T_i = \{0; 1\}$ — логическое состояние i -го разряда кода управления, n — разрядность устройства.

Классическая структура ПКЧ имеет последовательную организацию, а при использовании микросхем применяется групповая последовательно-параллельная организация по шесть разрядов [5]. К недостаткам такой организации относятся:

— ограничения по быстродействию, связанные с обеспечением синхронизации по И и схемы группового переноса по ИЛИ;

— зависимость числа входов элементов И от разрядности, что приводит к появлению многовходовых схем И;

— нелинейное ухудшение топологических характеристик схемы при увеличении разрядности, что приводит к большому количеству трасс, идущих к схемам И от младших разрядов к старшим вдоль всей структуры, причем эти трассы пересекаются с трассами синхронизации;

— особенность структуры устройства, заключающаяся в том, что в корпус с 16 выводами помещается лишь 6 разрядов (при использовании ПЛИС этот недостаток напрямую не проявляется, однако приводит к увеличению количества внутренних связей).

Перечисленные недостатки особенно сказываются в настоящее время, когда проектирование устройств осуществляется на базе ПЛИС, и тактовая частота элементов повышается.

Существуют различные решения, направленные на устранение этих недостатков, что нашло отражение в изобретениях по классам МПК G06F7/68 и H03K23/66, к которым относятся подобные ПКЧ. Например, недостатки классической структуры ПКЧ, связанные с большой нагрузкой на прямые выходы разрядных триггеров двоичного счетчика, растущей от разряда к разряду из-за увеличивающегося числа подключаемых элементов И, а также низким быстродействием, обусловленным необходимостью групповой организации подключения элементов И при большой разрядности, устраняются в техническом решении по патенту [6].

В настоящей статье предлагается оригинальный ПКЧ [7], структура которого строится поразрядно без увеличения числа входов элементов от разряда к разряду и свободна от перечисленных выше недостатков. Сущность предложенного решения состоит в создании преобразователя код-число импульсов с актуализацией состояний и реализацией параллельного преобразования за счет использования при формировании выходного сигнала импульсной последовательности, поступающей не только со счетчика, работающего с входной тактовой частотой, но и сдвинутой на полтакта последовательности импульсов со счетчика, работающего с инверсной входной тактовой частотой. В результате формируются два состояния счета — предыдущее и текущее, и эти состояния последовательно актуализируются.

Схема ПКЧ с актуализацией состояний (рис. 1) содержит два n -разрядных двоичных счетчика 1 и 3, инвертор 2, n трехходовых элементов И 4, элемент 5 n —ИЛИ (в дальнейшем ИЛИ). Устройство имеет входы синхронизации 6 (тактовая частота F_0), разрешения счета 7 (сигнал E), установки в начальное состояние 8 (сигнал R), а также n -разрядную входную шину управления 9 (входной код N) и информационный выход ПКЧ 10 (выходная частота F_y).

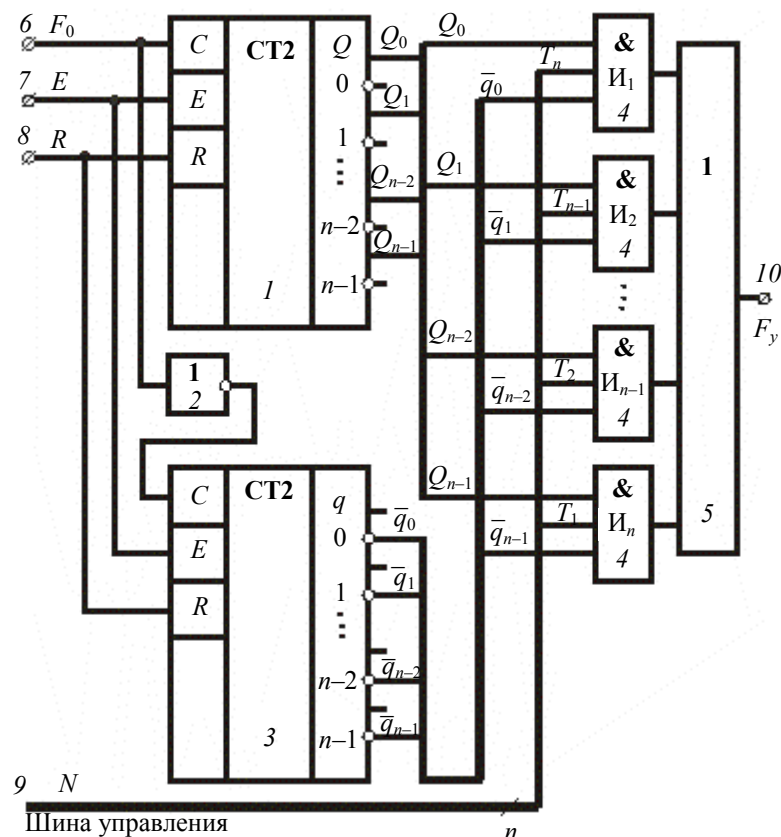


Рис. 1

Временные диаграммы работы ПКЧ представлены на рис. 2. Счетчики устанавливаются в нулевое состояние сигналом R . При этом инверсные выходы $\bar{q}_0, \bar{q}_1, \dots, \bar{q}_{n-1}$ счетчика 3 устанавливаются в единицу. На вход 6 подается сигнал E . После завершения сигналов на входах 7 и 8 устройства поступление на вход 6 первого импульса длительностью τ тактовой

частоты F_0 обеспечивает формирование единичного сигнала на выходе Q_0 счетчика I ; см. рис. 2, диаграмма (дг.) Q_0 .

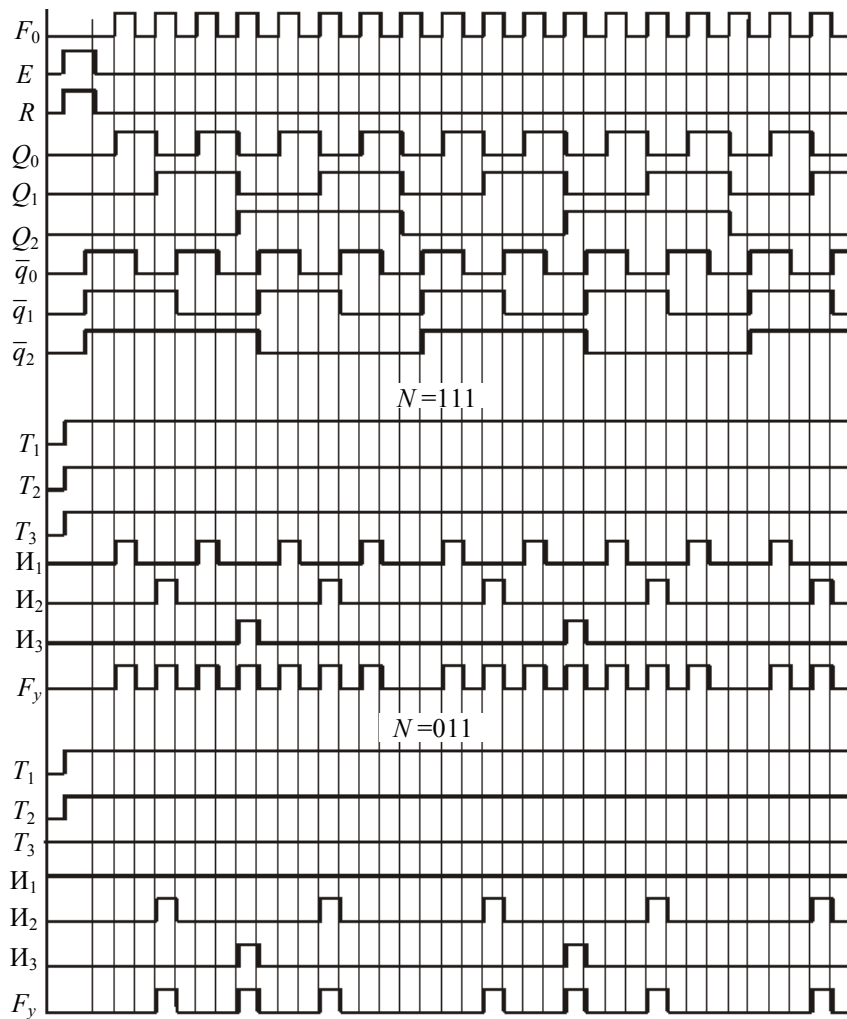


Рис. 2

В результате на входах первого элемента И формируется комбинация $\{111\}$, если старший разряд T_n кода N с шины 9 соответствует логической единице (дг. T_3 при $N=111$). При этом на выходе И формируется единичный сигнал (дг. $И_1$ при $N=111$), который поступает на выход 10 через элемент ИЛИ. Если же старший разряд T_n соответствует нулю, то на выходе И и на первом входе элемента ИЛИ останется уровень сигнала „0“ (дг. $И_1$ при $N=011$). На всех остальных входах элемента ИЛИ сигнал, равный нулю, обеспечивается нулевыми значениями сигналов с выходов Q_1, \dots, Q_{n-1} , поступающих на остальные элементы И. В результате на выходе 10 по-прежнему останется нулевое значение сигнала (дг. F_y при $N=011$).

Окончание первого импульса частоты F_0 обеспечивает формирование сигнала „0“ на выходе \bar{q}_0 счетчика 3 и на третьем входе первого элемента И. Следовательно, на выходе этого элемента будет сформирован нулевой сигнал (дг. $И_1$ при $N=111$). Таким образом, на всех входах элемента ИЛИ, а значит, и на выходе 10 также будет сигнал „0“. В результате на выходе 10 формируется импульс длительностью τ . Для ситуации, при которой старший разряд T_n соответствует нулю, на выходе 10 останется нулевое значение сигнала.

Поступление на вход 6 второго импульса обеспечивает переход в нулевое состояние выхода Q_0 и формирование единичного сигнала на выходе Q_1 счетчика I (дг. Q_0 и Q_1). В результате на входах второго элемента И будет комбинация $\{111\}$, если предпоследний разряд T_{n-1} кода N с шины 9 соответствует единице (дг. T_3 при $N=111$). При этом на выходе элемента И формируется сигнал „1“ (дг. $И_2$ при $N=111$), который поступает на выход 10 устройства

через элемент ИЛИ. Если же предпоследний разряд T_{n-1} равен нулю, то на выходе элемента И, а также на втором входе элемента ИЛИ значение сигнала будет равно нулю. В результате ситуация будет соответствовать ранее рассмотренной для нулевого значения в старшем разряде шины 9, и на выходе 10 останется значение сигнала, равное нулю.

Окончание второго импульса частоты F_0 обеспечивает формирование сигнала „0“ на выходе \bar{q}_1 счетчика 3 и на третьем входе второго элемента И. Следовательно, на выходе этого элемента будет сформирован сигнал „0“ (дг. И₂ при $N=111$). Таким образом, на всех входах элемента ИЛИ вновь будет сигнал „0“, а значит, на выходе 10 также будет сигнал „0“. В результате, на выходе 10 формируется второй импульс длительностью τ . Для ситуации, при которой предпоследний разряд T_{n-1} соответствует нулю, на выходе 10 останется нулевое значение сигнала, как и при формировании первого импульса при нулевом управляющем разряде.

Процессы, связанные с прохождением последующих импульсов до восьмого, происходят аналогично, и на выходе элемента ИЛИ будут соответствующим образом формироваться импульсы (см. рис. 2).

Поступление на вход 6 восьмого импульса частоты F_0 изменит на нулевые значения сигналов на выходах Q_0, Q_1, Q_2 . В результате сигнал „0“ будет присутствовать на первых входах всех элементов И, а значит, и на выходе элемента ИЛИ.

Процессы, связанные с прохождением девятого импульса, будут соответствовать процессам прохождения первого импульса. Далее работа устройства циклически повторяется, причем цикл определяется разрядностью.

В основу работы ПКЧ с актуализацией состояний положен принцип одновременного формирования двух отличающихся на полтакта состояний счетчиков с выделением за эти полтакта разряда, в котором происходит переход состояния из нуля в единицу, и разрешением прохождения полученного сигнала на выход при наличии единицы на соответствующем разряде шины, управляющей в обратном порядке, благодаря чему реализуется быстрое формирование выходного сигнала.

Логическое выражение для последовательности импульсов на выходе 10 имеет вид

$$F_y = L_1 \vee L_2 \vee \dots \vee L_n,$$

где $L_i = Q_{i-1} \bar{q}_{i-1} T_{n-i+1}$, $i = \overline{1, n}$ — номер разряда шины управления.

Очевидно, что для любого i равенство $Q_i \bar{q}_i = 1$ достигается при $Q_i = 1$ и $\bar{q}_i = 1$. Такая ситуация возникает для каждого единичного состояния выхода Q_i в течение времени длительности импульса τ . Это связано с тем, что момент перехода состояния выхода \bar{q}_i из единицы в нуль сдвинут на время τ относительно момента перехода выхода Q_i из нуля в единицу, и обеспечено тактированием счетчика 3 сигналом с выхода инвертора 2, т.е. сигналом \bar{F}_0 .

Таким образом, на выходе любого элемента И_{*i*} будет формироваться импульсная последовательность с частотой

$$F_i = \frac{F_0}{2^i} T_{n-i+1}. \quad (2)$$

Импульсы в этих последовательностях разнесены по времени, поэтому на выходе элемента ИЛИ 5 происходит формирование суммарной частоты, т.е. среднее значение выходной частоты устройства определяется выражением

$$F_y = F_1 + F_2 + \dots + F_i + \dots + F_{n-1} + F_n$$

или

$$F_y = \frac{F_0}{2^1} T_n + \frac{F_0}{2^2} T_{n-1} + \dots + \frac{F_0}{2^{i-1}} T_i + \dots + \frac{F_0}{2^{n-1}} T_2 + \frac{F_0}{2^n} T_1;$$

вынося за скобки F_0 и 2^{-n} , имеем

$$F_y = F_0 2^{-n} (T_n 2^{n-1} + T_{n-1} 2^{n-2} + \dots + T_i 2^{i-1} + \dots + T_2 2^1 + T_1 2^0),$$

здесь выражение в скобках представляет собой развернутую запись двоичного кода N .

Таким образом, среднее значение выходной частоты импульсной последовательности примет вид

$$F_y = F_0 \frac{N}{2^n},$$

что соответствует выражению (1) для ПКЧ.

При этом быстродействие предлагаемого ПКЧ при большой разрядности ($n > 9$) выше, чем быстродействие ранее рассмотренного аналогичного устройства [6]. Это объясняется тем, что в этом устройстве задержка λ_A при изменении значения частоты непосредственно связана с разрядностью n ввиду последовательной обработки сигналов, а в рассматриваемом ПКЧ задержка имеет фиксированную величину λ . Эти задержки определяются выражениями

$$\lambda = \lambda_{\text{ст}} + \lambda_{\text{ст}} + \lambda_{\text{И}} + \lambda_{\text{ИЛИ}},$$

$$\lambda_A = \lambda_{\text{ст}} + n\lambda_{\text{И}} + \lambda_{\text{И—НЕ}},$$

где $\lambda_{\text{ст}}$, $\lambda_{\text{И}}$, $\lambda_{\text{ИЛИ}}$, $\lambda_{\text{И—НЕ}}$ — время срабатывания счетчика, элементов И, ИЛИ, И—НЕ соответственно.

Время срабатывания этих элементов λ_j в первом приближении можно считать одинаковым: $\lambda_{\text{И}} = \lambda_{\text{ИЛИ}} = \lambda_{\text{И—НЕ}} = \lambda_j$, а время срабатывания счетчика обычно не превышает $6 \dots 8\lambda_j$. Следовательно, для рассматриваемого ПКЧ $\lambda = 8\lambda_j + 8\lambda_j + \lambda_j + \lambda_j = 18\lambda$, а для устройства [6] $\lambda_A = 8\lambda_j + n\lambda_j + \lambda_j = (9+n)\lambda_j$.

Примерное соотношение по быстродействию определяется выражением

$$K = \frac{\lambda_A}{\lambda} = \frac{(9+n)\lambda_j}{18\lambda_j} = \frac{9+n}{18}.$$

Таким образом, при $n=9$ быстродействие рассматриваемых устройств будет примерно одинаковым, а с повышением разрядности быстродействие предлагаемого ПКЧ по сравнению с устройством [6] будет линейно увеличиваться: см. график, представленный на рис. 3.

Структура предлагаемого ПКЧ решена в соответствии с методом Bit-slice, при котором увеличение разрядности осуществляется простым добавлением очередного разряда без согласующих звеньев. Это существенно улучшает топологию и регулярность структур, что имеет важное значение при проектировании устройств на кристалле, в том числе в виде ПЛИС. Например, при исполнении микросхемы ИЕ8 в том же корпусе можно поместить 8 разрядов (а не 6), что соответствует принятой байтовой системе. В предлагаемом устройстве при разрядности выше 16 топология по трассировке соединений лучше, чем в классической схеме ПКЧ [5], а при разрядности выше 27 — лучше и по числу элементов на кристалле. Следует отметить также, что использование предложенного ПКЧ позволяет упростить процесс проектирования устройства и повысить его помехоустойчивость.

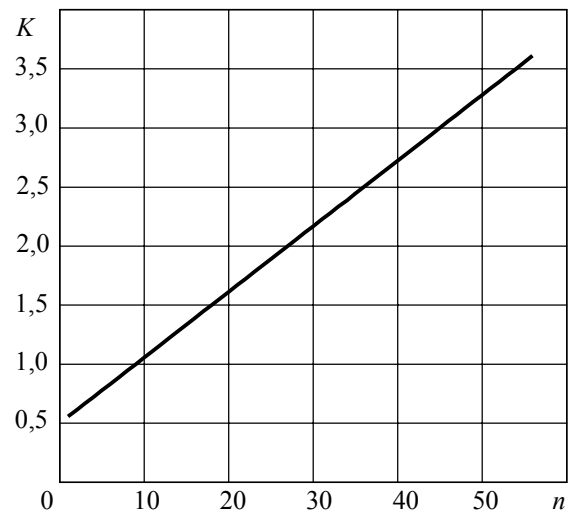


Рис. 3

СПИСОК ЛИТЕРАТУРЫ

1. Вычужанин В. Устройство управления двигателем на ПЛИС [Электронный ресурс]: журн. „Компоненты и технологии“. 2004. № 2: <<http://www.kit-e.ru>>.
2. Локтюхин В. Н., Челебаев С. В. Нейросетевые преобразователи импульсно-аналоговой информации: организация, синтез, реализация. М.: Горячая линия — Телеком, 2008. 144 с.
3. Pat. 2910237 USA. Pulse-Rate Multiplier / М. Meyer, В. Gordon. 1959.
4. Цифровые и аналоговые интегральные микросхемы: Справочник / С. В. Якубовский, Л. И. Ниссельсон, В. И. Кулешова и др.; Под ред. С. В. Якубовского. М.: Радио и связь, 1989.
5. Гутников В. С. Интегральная электроника в измерительных устройствах. Л.: Энергоатомиздат, 1988.
6. Пат. 2015539 С1 РФ, МПК⁵ G06F7/68. Делитель частоты с переменным коэффициентом деления / А. М. Петух, Д. Т. Ободник, В. А. Денисюк. № 4896122/24; заявл. 25.12.1990; опубл. 30.06.1994.
7. Пат. 2273043С1 РФ, МПК⁷ G06F7/68, H03K23/66. Делитель частоты с переменным коэффициентом деления / Н. М. Сафьянников, П. Н. Бондаренко. № 2004131093/90; заявл. 25.10.2004; опубл. 27.03.2006.

Сведения об авторах

- Николай Михайлович Сафьянников** — канд. техн. наук, доцент; Санкт-Петербургский государственный электротехнический университет „ЛЭТИ“, кафедра вычислительной техники; E-mail: sysan@sysan.sp.ru
- Павел Николаевич Бондаренко** — Санкт-Петербургский государственный электротехнический университет „ЛЭТИ“, кафедра вычислительной техники; мл. науч. сотрудник; E-mail: pavel_bn@mail.ru

Рекомендована кафедрой
вычислительной техники

Поступила в редакцию
19.01.10 г.