

С. Г. Мосин

МЕТОДИКА ТЕСТОПРИГОДНОГО ПРОЕКТИРОВАНИЯ АНАЛОГО-ЦИФРОВЫХ СХЕМ

Предложена методика тестопригодного проектирования аналого-цифровых схем с использованием параллелизма, поддерживающего одновременное выполнение проектных процедур на современных многоядерных или многопроцессорных вычислительных системах. Предусмотрена процедура выбора методов внешнего и внутрисхемного тестирования.

Ключевые слова: тестопригодное проектирование, внутрисхемное тестирование, аналого-цифровые интегральные схемы, автоматизация проектирования, параллелизм.

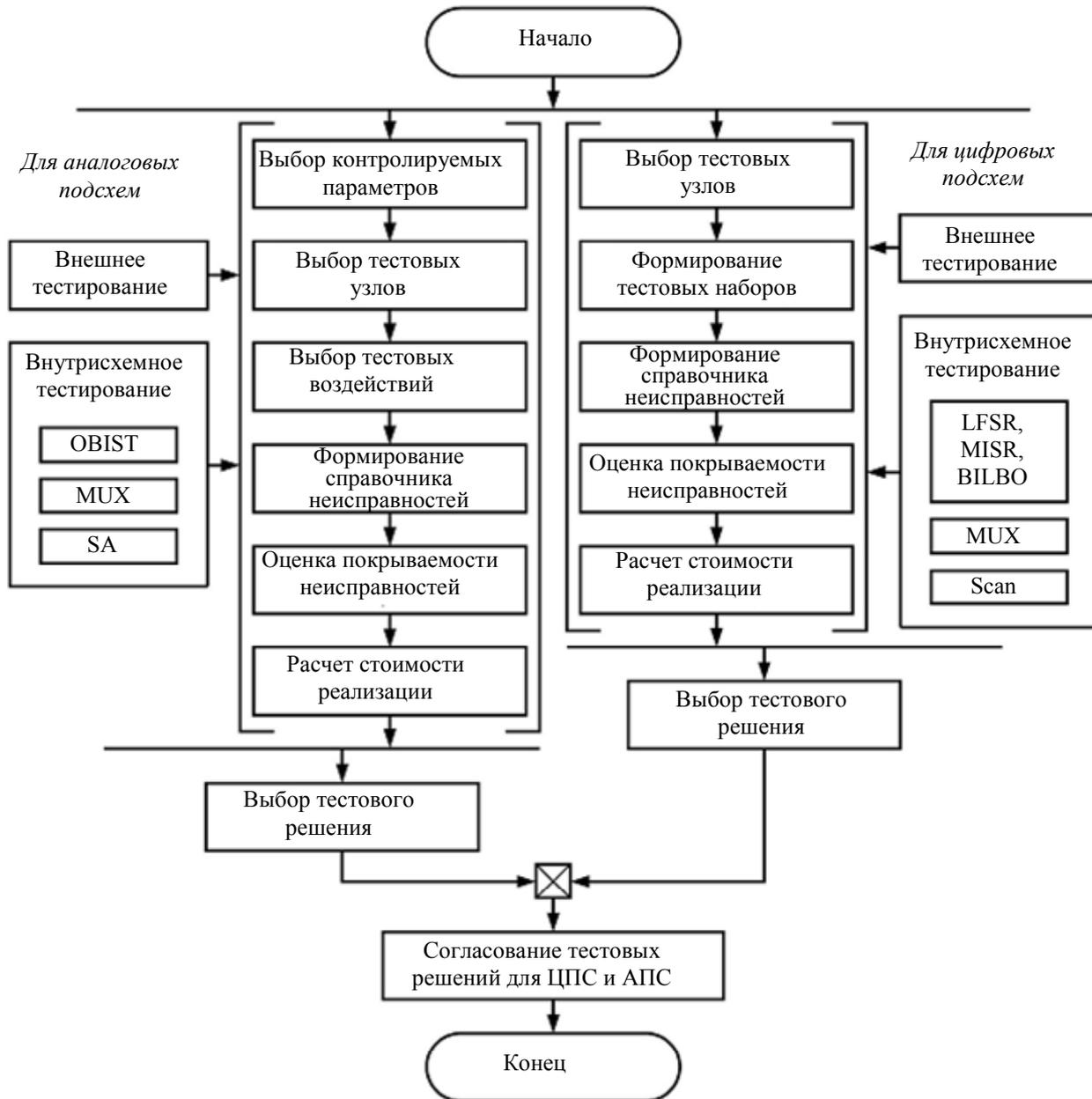
Особенность современных маршрутов проектирования интегрированной многопроцессорной системы (ИМС) — ориентация на тестопригодное проектирование (*DFT — Design for Testability*), в ходе которого наряду с разработкой интегральной схемы формируются решения и определяются сценарии, обеспечивающие в дальнейшем простоту ее тестирования [1—3]. При выборе варианта тестирования — внешнего или внутрисхемного — учитываются особенности метода (см. таблицу).

Сравнительная оценка методов внутрисхемного и внешнего тестирования

Характеристика	Внутрисхемное тестирование	Внешнее тестирование
Быстродействие	Высокое (+)	Низкое (–)
Дополнительная площадь кристалла	Требуется (–)	Не требуется (+)
Режим работы	Интерактивный/выделенный (+)	Только выделенный (–)
Используемое оборудование	Стандартное (универсальное) (+)	Специализированное (–)
Точность выполняемых измерений	Высокая (+)	Низкая (–)
Стоимость реализации	Высокая (–)	Низкая (+)

Для корректного выбора метода тестирования важно обеспечить автоматизацию всех процессов, как цифровой, так и аналоговой подсхемы проектируемого электронного устройства. Предлагаемая методика позволяет формализовать процесс выбора тестового решения (см. рисунок). Полученные количественные характеристики и результат стоимостного расчета используют при выборе наиболее эффективных методов тестирования для аналоговой и цифровой подсхем (АПС и ЦПС соответственно). Затем обеспечивается согласование этих

методов комплексного тестирования аналого-цифровой схемы. Для АПС в методике предусмотрен выбор между методом внешнего и методами внутрисхемного тестирования на основе введения дополнительных элементов, обеспечивающих автоматическую проверку (*OBIST* — *Oscillation Built-In Self-Test*) [4], использования мультиплексов, повышающих наблюдаемость внутренних узлов схемы (*MUX*), и методов на основе сигнатурного анализа (*SA* — *Signature Analysis*) [2, 5]. Для ЦПС предложены методы внешнего и внутрисхемного тестирования на основе схем встроенного самотестирования (*LSFR* — *Linear Shift Feedback Register*, *MISR* — *Multi-Input Shift Register* и *BILBO* — *Built-In Logic Block Observer*), схем мультиплексирования внутренних узлов (*MUX*) и сканирующих цепей (*Scan*) [6].



При выборе контролируемых параметров (КП), тестовых узлов и тестовых воздействий для внешнего тестирования АПС используется анализ чувствительности. Амплитуда сигнала и его фазовый сдвиг рассматриваются в качестве КП. Для каждого КП формируют матрицу $S \in R(m, n)$, где m — число внутренних компонентов, n — число рассмотренных внутренних узлов. Элементы данной матрицы ($S_{i,j}$) — коэффициенты чувствительности выходного параметра схемы, контролируемого в узле j , к отклонению параметра (неисправности) компонента i .

Процесс выбора тестовых узлов сводится к поиску столбцов матрицы \mathbf{S} , включающих наибольшее число максимальных значений коэффициентов чувствительности каждой строки (поиск минимального покрытия внутренних узлов максимальными значениями коэффициентов чувствительности всех компонентов).

Повысить вероятность обнаружения неисправностей можно, используя набор входных тестовых воздействий $\mathbf{T} \subset R(p)$, при этом формируется совокупность $\hat{\mathbf{S}}$ матриц $S_{i,j}^k$, каждая из которых получена для определенного сигнала $T_k \in \mathbf{T}$, $1 \leq k \leq p$. Входные сигналы, матрицы $S_{i,j}^k$ для которых вошли в минимальное покрытие, образуют множество тестовых воздействий.

В методике выбор тестовых узлов и тестовых воздействий ЦПС реализуется с использованием разностной функции. Пусть $f_0(x_1, x_2, \dots, x_n)$ — выходная функция комбинационной схемы, а $f_i(x_1, x_2, \dots, x_n)$ — выходная функция схемы с неисправностью i . Тогда разностная функция неисправности имеет вид:

$$F_i(\mathbf{x}) \equiv F_i(x_1, x_2, \dots, x_n) = f_0(x_1, x_2, \dots, x_n) \oplus f_i(x_1, x_2, \dots, x_n), \quad (1)$$

где $F_i(\mathbf{x})$ — функция, которая на входном наборе $\mathbf{x} = x_1, x_2, \dots, x_n$ принимает значение 1, если значения $f_0(\mathbf{x})$ и $f_i(\mathbf{x})$ различны.

Входной тестовый набор \mathbf{x} ($F_i(\mathbf{x}) = 1$) называется тестом неисправности i . В случае присутствия в схеме k неисправностей существуют k разностных функций $F_1(\mathbf{x})$, $F_2(\mathbf{x})$, ..., $F_k(\mathbf{x})$. Тесты, полученные для данных неисправностей, образуют множество:

$$\mathbf{I} = \bigcup_{i=1}^k \left\{ \mathbf{x}^i \mid F_i(\mathbf{x}^i) = 1 \right\}. \quad (2)$$

Данное множество входных наборов называют тестовым множеством, или тестовой последовательностью [1].

Выбор тестовых узлов. Пусть $F = \{f_0, f_1, \dots, f_k\}$ является подмножеством всех возможных неисправностей \mathbf{F} , включает список тех неисправностей, которые будут диагностированы, и $N = \{n_1, n_2, \dots, n_p\}$ — подмножество внутренних узлов схемы \mathbf{N} , содержит список всех доступных тестовых узлов. Основным результатом работы метода — *таблица неисправностей* $C \subset R(k+1, p)$, строки которой, начиная со второй, соответствуют различным видам неисправностей, а столбцы — доступным тестовым узлам. Первая строка таблицы содержит характеристики исправной схемы. По результатам моделирования исправной схемы и схемы с заданным набором неисправностей F происходит формирование двойственных групп и определение всех неисправностей данных тестовых узлов N . Неисправности f_m и f_n принадлежат двойственной группе AG_j , связанной с тестовым узлом n_j , если $C_{mj} = C_{nj}$ ($m \neq n$). В итоге для каждого столбца получается конечное множество двойственных групп, которые нумеруются от 1 до m_p , где m_p — мощность этого набора для тестового узла p . Следует отметить, что неисправность, выявленная в определенном узле, может входить только в одну двойственную группу. Для удобства каждая ячейка $C_{ij} = c$ таблицы неисправностей содержит номер группы (AG_{cj}), сформированной для j -го узла и i -й неисправности. Схема является полностью диагностируемой с помощью множества тестовых узлов $N_f \subseteq N$, если для каждой пары неисправностей f_i и f_j ($i \neq j$) существует такой узел n_b ($\exists n_b \in N_f$), что $C_{ib} \neq C_{jb}$. Решение задачи выбора тестовых узлов является оптимальным, если число множеств N_f будет минимальным. Такое множество может быть сформировано на основе вычисления энтропии с использованием значения мощности двойственных групп.

Пусть X_{ij} ($i = 1, 2, \dots, k$) — число элементов группы AG_{ij} для тестового узла n_j . Вероятность появления неисправности из группы AG_{ij} может быть вычислена как отношение AG_{ij} / k , где k — число диагностируемых неисправностей. Таким образом, энтропию для любого выбранного тестового узла n_j вычисляют с использованием выражения:

$$E_j = - \left[\frac{X_{1j}}{k} \log \left(\frac{X_{1j}}{k} \right) + \frac{X_{2j}}{k} \log \left(\frac{X_{2j}}{k} \right) + \dots + \frac{X_{kj}}{k} \log \left(\frac{X_{kj}}{k} \right) \right] = \log(k) - \frac{1}{k} \sum_{i=1}^k X_{ij} \log(X_{ij}). \quad (3)$$

Количество информации, получаемой в тестовом узле n_j , становится максимальным при минимизации коэффициента энтропии:

$$ER_j = \sum_{i=1}^k X_{ij} \log(X_{ij}). \quad (4)$$

Тестовый узел n_j , значение $ER(j)$ в котором минимально, обеспечивает получение максимальной информации об измеряемой величине. Выбранные таким образом узлы образуют результирующее множество тестовых узлов. Алгоритм выбора тестовых узлов можно формализовать следующей последовательностью действий [2].

1. Вычислить число элементов в каждой двойственной группе для каждого тестового узла n_j .
2. Рассчитать коэффициент энтропии ER_j .
3. Добавить узлы с минимальным значением ER_j во множество выбранных ранее тестовых узлов.
4. Переформировать таблицу неисправностей в соответствии с порядком двойственных групп выбранного тестового узла, а также удалить из нее те строки, неисправности которых не входят ни в одну двойственную группу для данного узла.
5. Рассчитать коэффициент ER_j для оставшихся узлов с учетом присутствия двойственных групп в каждом из получившихся разделов таблицы неисправностей.
6. Если $ER_j = 0$ (для всех j) или ER_j принимает то же значение, что и ранее (для всех j), процесс прекращается. В противном случае необходимо повторить пункты 3, 4.

Формирование справочника неисправностей. *Справочник неисправностей* (СН) — совокупность измерений характеристик исправной и потенциально неисправной схемы, полученных в результате моделирования работы устройства в нормальном режиме с учетом присутствия в ней неисправностей. Измерение контролируемых параметров выполняется во всех тестовых узлах при различных входных тестовых воздействиях. Процесс построения СН можно разделить следующим образом: формирование списка неисправностей; получение выходных откликов на входные воздействия при моделировании неисправности компонента схемы; формирование справочника неисправностей, обеспечивающее достижение компромисса между размерностью и количеством неисправностей.

Выбор метода тестирования (внешний или внутрисхемный) АПС и ЦПС смешанных ИМС производится с учетом расчета стоимости тестирования. Учитывается следующий набор параметров проектируемого устройства: используемая интегральная технология, объем партии изделий, сложность ИМС, соотношение площади аналоговой и цифровой подсхем, стоимость используемых САПР и АТПГ и др.

В общем случае стоимость тестирования электронных схем составляет

$$C = C_{\text{prep}} + C_{\text{manuf}} + C_{\text{exec}}, \quad (5)$$

где C_{prep} — стоимость подготовки теста, C_{manuf} — стоимость производства тестирующей подсхемы, C_{exec} — стоимость выполнения теста.

Простейший способ выбора менее затратного метода тестирования основан на оценке и сравнении значения C для каждого решения. Выполнение неравенства $C_{\text{on}} > C_{\text{off}}$ (C_{on} и C_{off} — стоимость внутрисхемного и внешнего тестирования соответственно) — условие экономической эффективности использования внешнего тестирования, а $C_{\text{on}} < C_{\text{off}}$ — внутрисхемного [7, 8].

Заключение. Реализация предложенной методики в САПР интегральных схем позволяет автоматизировать процесс принятия решения в ходе тестопригодного проектирования. Ориентация алгоритмов на параллельную обработку и современные многоядерные и многопроцессорные варианты архитектуры вычислительных систем обеспечивает снижение временных затрат на проектирование и расширение числа возможных структурных решений внутрисхемного тестирования аналого-цифровых схем, рассматриваемых в ходе разработки.

Работа выполнена в рамках проекта № 7.4151.2011 Министерства образования и науки РФ.

СПИСОК ЛИТЕРАТУРЫ

1. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС. М.: Мир, 1988.
2. Ланцов В. Н., Мосин С. Г. Современные подходы к проектированию и тестированию интегральных микросхем. Владимир: Изд-во ВлГУ, 2010.
3. Мосин С. Г. Исследование модели выбора оптимальной тестовой стратегии для смешанных интегральных схем // Вестн. компьютерных и информационных технологий. 2011. № 6. С. 24—28.
4. Mosin S. G. A Built-in Self-Test Circuitry Based on Reconfiguration for Analog and Mixed-Signal IC // Information Technology and Control. 2011. Vol. 40, N 3. P. 260—264.
5. Mosin S. Neural Network-Based Technique for Detecting Catastrophic and Parametric Faults in Analog Circuits // Proc. IEEE 18th Intern. Conf. on System Engineering (ICSEng'2005). Las Vegas, Nevada, USA, 2005. P. 224—229.
6. Mosin S. G., Chebykina N. V., Serina M. S. Technique of LFSR Based Test Generator Synthesis for Deterministic and Pseudorandom Testing // Proc. 11th Conf. "Experience of Designing and Application of CAD System in Microelectronics – CADSM'11". Polyana-Svalyava, Ukraine, 2011. P. 128—131.
7. Мосин С. Г. Выбор метода тестирования смешанных интегральных схем на основе экономической модели // Вестн. Костромского гос. ун-та им. Н. А. Некрасова. 2008. Т. 14, № 2. С. 29—32.
8. Mosin S. G. Selecting the Most Efficient DFT Techniques of Mixed-Signal Circuits Based on Economics Modeling // Proc. of IEEE East-West Design and Test Symp. (EWDTS'2007). Yerevan, Armenia, 2007. P. 158—161.

Сведения об авторе

Сергей Геннадьевич Мосин — канд. техн. наук, доцент; Владимирский государственный университет им. А. Г. и Н. Г. Столетовых, кафедра вычислительной техники;
E-mail: smosin@vlsu.ru

Рекомендована ВлГУ

Поступила в редакцию
17.04.12 г.