
ПРИБОРЫ, УСТРОЙСТВА И СИСТЕМЫ АВТОМАТИЧЕСКОГО УПРАВЛЕНИЯ

УДК 621:658.011.56

М. В. БОБЫРЬ, В. С. ТИТОВ

ПРОЕКТИРОВАНИЕ АДАПТИВНОЙ НЕЧЕТКО-ЛОГИЧЕСКОЙ СИСТЕМЫ УПРАВЛЕНИЯ. ЧАСТЬ I

Рассмотрены этапы проектирования адаптивной нечетко-логической системы управления. Приведены структурные схемы адаптивной системы и составляющих ее блоков, позволяющие оценить принцип работы системы.

Ключевые слова: нечеткая логика, нечеткий логический вывод, системы управления, адаптация.

Введение. Сокращение экспорта современного отечественного станкостроительного оборудования связано с использованием в его структуре комплектующих, которые не позволяют изготавливать детали с точностью 1—5 мкм при одновременном снижении их стоимости. Достижение таких характеристик невозможно без совершенствования несущей конструкции как самого металлорежущего оборудования, так и систем управления процессом механической обработки изделий (МОИ).

Современный уровень требований, предъявляемых к качеству выпускаемых изделий, определяет необходимость разработки высокоточного оборудования с ЧПУ нового поколения, сочетающего новейшие методы и средства автоматизированного контроля и управления с применением компьютерных способов обработки измерительной информации о ходе технологического процесса (ТП). При этом основным требованием, предъявляемым к такому классу оборудования, является учет неполноты, недостоверности информации о количественных величинах входных и выходных характеристик ТП МОИ при возмущающих воздействиях. Перспективным базисом, позволяющим учесть вышеуказанные требования, является аппарат нечеткой логики [1].

Структурно-функциональная схема адаптивной нечетко-логической системы управления. В ходе проводимых исследований по гранту Президента МК-277.2012.8 была разработана адаптивная нечетко-логическая система управления, которая позволяет повысить точность механической обработки изделий и ускорить принятие управляющих решений при наличии внешних факторов. На рис. 1 приведена ее структурная схема (ИМ — исполнительные механизмы оборудования с ЧПУ; БВИ — блок ввода информации; БОСИ — блок определения степеней истинности; БМНО — блок матрицы нечетких отношений; БВВП — блок ввода выходной переменной; БУТВП — блок усечения термов выходной переменной; БОУТВП — блок объединения усеченных термов выходной переменной; БД — блок дефаззификации). В работах [2—4] подробно рассмотрены методы и алгоритмы, поясняющие принципы работы адаптивной системы управления. Использо-

нию этой системы с целью управления исполнительными механизмами оборудования с ЧПУ посвящены статьи [5, 6].

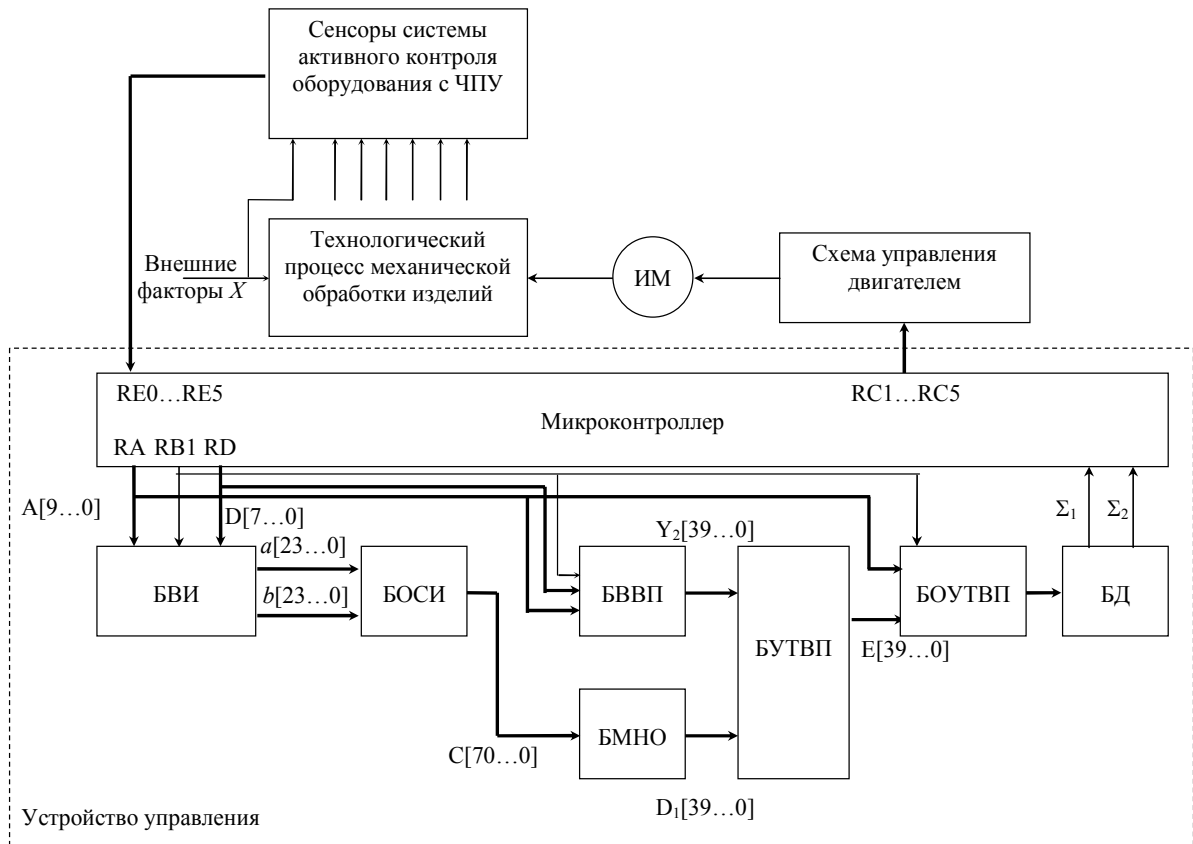


Рис. 1

Элементные блоки адаптивной системы управления. Блок ввода информации предназначен для хранения данных о входных переменных в виде параметризованной функции принадлежности (ФП) [7]

$$\mu(x) = \sum_{i=1}^s x_i = \left\{ u_{11} \int_{t_1}^{t_2} \left(\frac{x_i - t_1}{t_2 - t_1} \right) / x_1 + u_{12} \int_{t_2}^{t_3} \left(\frac{t_3 - x_i}{t_3 - t_2} \right) / x_1 \right\} + \left\{ u_{21} \int_{t_2}^{t_3} \left(\frac{x_i - t_2}{t_3 - t_2} \right) / x_2 + u_{22} \int_{t_3}^{t_4} \left(\frac{t_4 - x_i}{t_4 - t_3} \right) / x_2 \right\},$$

где Σ — знак операции объединения предпосылок правил [8]; x_i — термы параметризованной ФП, $i=1, \dots, s$ — количество термов; t_1, t_2, t_3, t_4 — параметры треугольной ФП (рис. 2, $t_1=10, t_2=30, t_3=60, t_4=80$); \int — согласно [8], знак суппорта термов ФП; $u_{11}, u_{12}, u_{21}, u_{22}$ — логические переменные, определяемые как

$$u_{11} = \begin{cases} 1 & \text{для } a < x \leq b, \\ 0 & \text{в других случаях,} \end{cases} \quad u_{21} = \begin{cases} 1 & \text{для } b < x \leq c, \\ 0 & \text{в других случаях,} \end{cases}$$

$$u_{12} = \begin{cases} 1 & \text{для } b < x \leq c, \\ 0 & \text{в других случаях,} \end{cases} \quad u_{22} = \begin{cases} 1 & \text{для } c < x \leq d, \\ 0 & \text{в других случаях.} \end{cases}$$

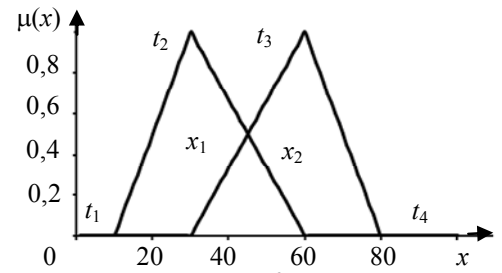


Рис. 2

Основными компонентами БВИ (рис. 3) являются микроконтроллер (МК) типа PIC16F877 и схемы оперативно-запоминающих устройств (ОЗУ) RAM16K (KP537PY8).

Для записи информации в ОЗУ со входа микроконтроллера RB1 необходимо установить вход ОЗУ в состояние логического нуля, т.е. $W/R=0$. Далее по шине адреса $A[9..0]$ с выхода микроконтроллера RA1 на входы шины данных $D[47..0]$ ОЗУ поступает первый сигнал (0000000000), а с выхода микроконтроллера RD1 на входы $D[47..0]$ ОЗУ — цифры в диапазоне от 0 до 255, соответствующая значениям степеням истинности ФП [9], расположенным по оси ординат (см. рис. 2). Значения адресов, передаваемых по шине адреса, совпадают со значениями по оси абсцисс ФП. Процесс записи данных в ОЗУ продолжается до тех пор, пока всем ячейкам памяти не будут присвоены значения степеней истинности ФП.

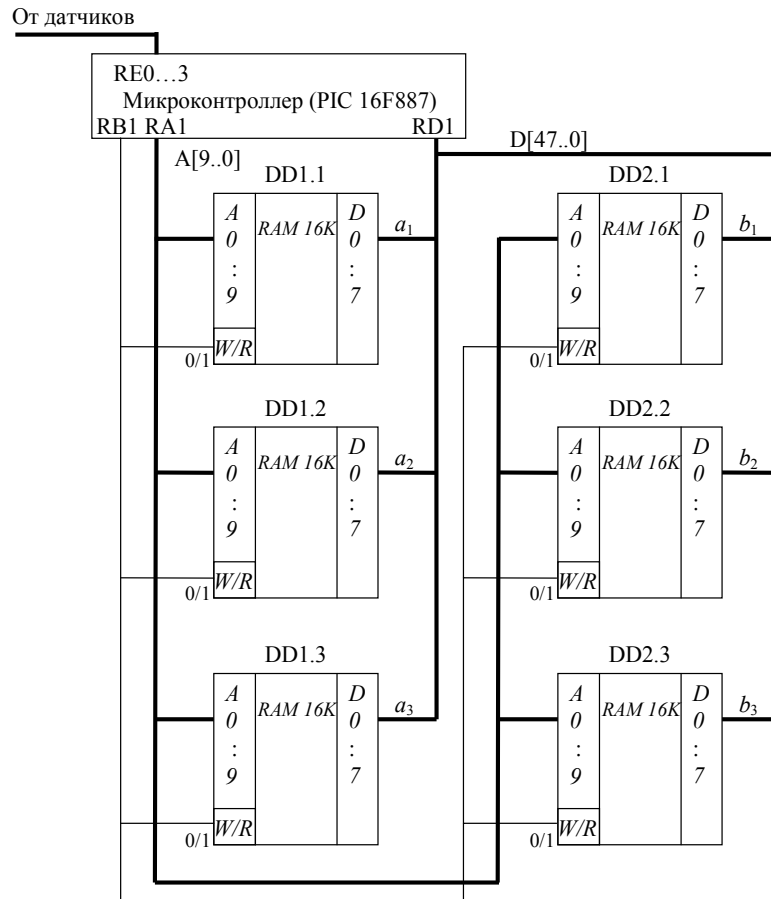


Рис. 3

Блок определения степеней истинности используется для хранения нечетких логических правил управления вида

ЕСЛИ [условие 1] И [условие 2], ТО [заключение],

где [условие n] — предпосылки нечеткого логического вывода; [заключение] — выход нечеткого логического вывода.

Нечеткая логическая операция „И“ реализуется как нахождение минимума (рис. 4) с помощью компараторов К555СП1 (DD3.1÷3.2) и буферов данных ВД, выполненных на схемах К555АП5 (DD4.1÷4.2). Для передачи входных 8-разрядных сигналов a_1 и b_1 на компараторы их необходимо разбить по 4 разряда. Для этого на входы компаратора DD3.1 $A1...A8$ и $B1...B8$ передаются старшие разряды сигналов $a_1[7..4]$ и $b_1[31..28]$ соответственно. А на входы второго компаратора DD3.2 $A1...A8$ и $B1...B8$ — младшие разряды сигналов $a_1[3..0]$ и $b_1[27..24]$ соответственно.

В зависимости от результата операции сравнения на шину $c_1[7..0]$ будет приходиться сигнал a_1 или b_1 , значение которого минимально. Если сигнал a_1 окажется меньше b_1 , то на выход „<“ компаратора DD3.2 поступит сигнал логической единицы, который заблокирует инверсные входы E2/D2 буферных схем DD4.1÷4.2. Следовательно, на выходы Z2 схем

DD4.1 и DD4.2 не будут пропускаться старшие разряды $b_1[31...28]$ и младшие разряды $b_1[27...24]$. А буферные схемы DD4.1 и DD4.2 пропустят старшие разряды $a_1[7...4]$ и младшие разряды $a_1[3...0]$ соответственно. На выходе шины данных $c_1[7...0]$ формируется 8-разрядный сигнал, реализующий операцию нахождения минимума $\min(a_1, b_1)$.

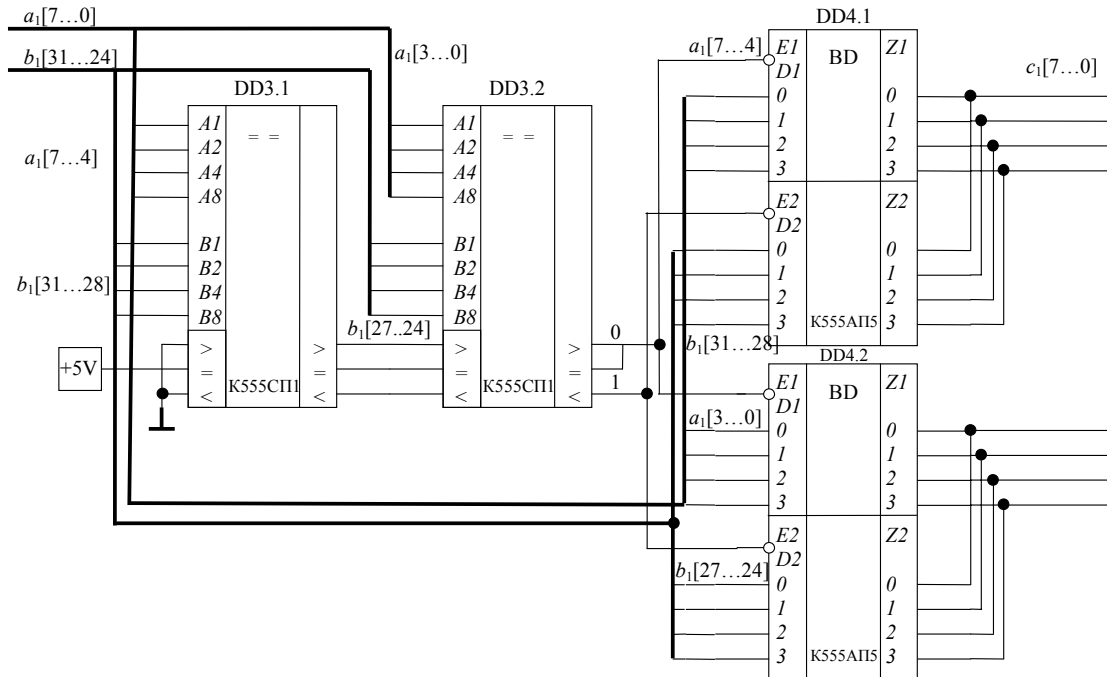


Рис. 4

Блок матрицы нечетких отношений формирует уровни отсечения термов ФП выходной переменной [3]. Принцип работы данного блока следующий (рис. 5). В соответствии с матрицей нечетких отношений сигнал $d_1=c_1$ хранится в буферной схеме DD6.1, а $d_5=c_9$ — в DD6.9. Буферные схемы DD6.1 и DD6.9 выполнены на цифровых логических элементах К555АП5.

Для нахождения максимума $\max(c_8, c_6)$ используются связки 4-разрядных компараторов DD5.1 и DD5.2 и 4-разрядных буферных схем DD6.2 и DD6.3. Причем в DD6.2 хранятся старшие разряды $d_2[15...12]$, а в DD6.3 — младшие $d_2[11...8]$. Буферные схемы DD6.2 и DD6.3 выполнены на цифровых логических элементах К555АП5, а компараторы DD5.1 и DD5.2 — на элементах К555СП1. На компаратор DD5.1 для сравнения поступают старшие разряды c_8 и c_6 , а на DD5.2 — младшие c_8 и c_6 . Если сигнал c_6 окажется больше c_8 , то на выходе „<<“ компаратора DD5.2 будет сигнал логической единицы, который заблокирует инверсные входы E1/D1 буферных схем DD6.2÷6.3. Следовательно, на выходы Z1 схем DD6.2 и DD6.3 не будут пропускаться старшие $c_8[62...58]$ и младшие разряды $c_8[58...55]$. А буферные схемы DD6.2 и DD6.3 пропустят старшие $c_6[46...43]$ и младшие разряды $c_6[42...39]$. При этом на выходе шины данных $d_2[15...8]$ формируется сигнал, реализующий операцию нахождения максимума $\max(c_8, c_6)$. Операция нахождения максимума для сигналов c_4 и c_2 осуществляется аналогичным образом.

Для взятия максимума $\max(c_7, c_5, c_3)$ используются связки из четырех 4-разрядных компараторов DD5.3÷DD5.6 (К555СП1), трех 8-разрядных буферных схем DD6.4÷DD6.6 (К555АП6) и трех логических схем, 2И-НЕ элементы DD5.9÷DD5.11 (К555ЛАЗ), причем 8-разрядные выходы буферных схем DD6.4÷DD6.6 запараллелены в один сигнал $d_3[23...16]$.

В зависимости от результата операции сравнения на выходе данной схемы будет сформирован 8-разрядный сигнал $d_3[23...16]$, являющийся максимальным из c_7, c_5 или c_3 . Если сигнал c_5 окажется больше c_7 и c_3 , то на выходе z_2 „<<“ компаратора DD5.4 и выходе z_3 „>>“ компаратора DD5.6 формируется сигнал логической единицы, а на выходе логического элемента 2И-НЕ DD5.10 — логического нуля, который откроет вход буферной схемы DD6.5 „E“ и позволит записать в него данные $c_5[38...31]$, которые и будут являться выходным

8-разрядным сигналом $d_3[23...16]$. Данная связка логических элементов настроена таким образом, что если на выходе z_1 компаратора DD5.4 и выходе z_3 компаратора DD5.6 будут сигналы логической единицы, то на выходе $d_3[23...16]$ будет максимальный сигнал $c_7[54...47]$. Если на выходе z_2 компаратора DD5.4 и выходе z_4 компаратора DD5.6 будут сигналы логической единицы, то на выходе $d_3[23...16]$ будет максимальный сигнал $c_3[23...16]$.

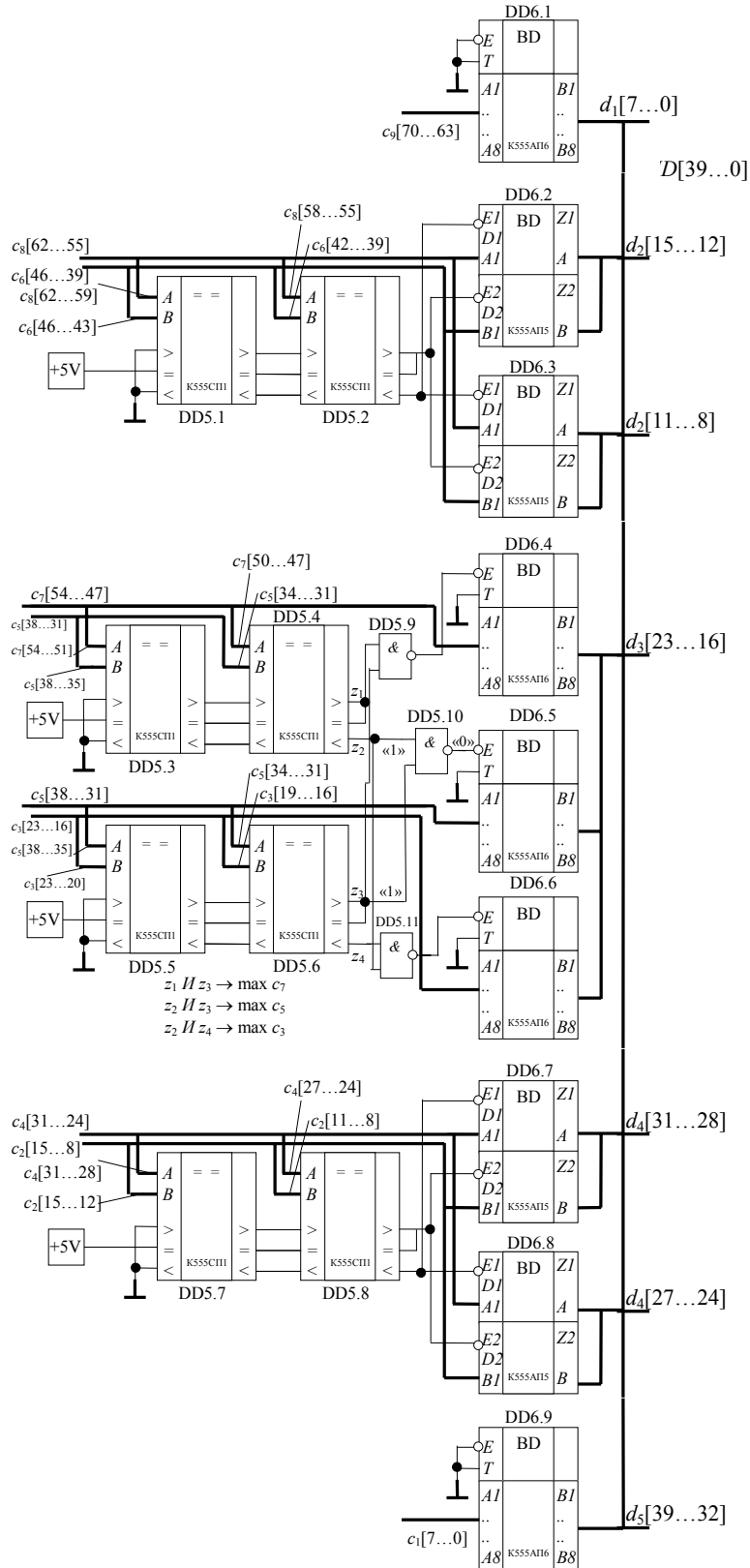


Рис. 5

Заключение. В первой части статьи рассмотрена структурно-функциональная схема адаптивной системы управления исполнительными механизмами оборудования с ЧПУ. Также рассмотрены элементные блоки, входящие в ее состав, и принцип их работы. Во второй части статьи будут детально рассмотрены блоки ввода выходной переменной, усечения термов выходной переменной, объединения усеченных термов выходной переменной, дефазификации.

Работа выполнена в рамках гранта Президента РФ МК-277.2012.8 и ФЦП, государственный контракт № 14.740.11.1003.

СПИСОК ЛИТЕРАТУРЫ

1. *Афанасьев М. Я., Филиппов А. Н.* Применение методов нечеткой логики в автоматизированных системах технологической подготовки производства // Изв. вузов. Приборостроение. 2010. Т. 53, № 6. С. 38—42.
2. *Бобырь М. В., Титов В. С., Анциферов А. В.* Алгоритм высокоскоростной обработки деталей на основе нечеткой логики // Мехатроника, Автоматизация, Управление. 2012. № 6. С. 21—26.
3. *Бобырь М. В., Титов В. С., Червяков Л. М.* Адаптация сложных систем управления с учетом прогнозирования возможных состояний // Автоматизация и современные технологии. 2012. № 5. С. 3—10.
4. *Бобырь М. В., Титов В. С.* Интеллектуальная система управления температурными деформациями при резании // Автоматизация и современные технологии. 2011. № 5. С. 3—7.
5. *Бобырь М. В.* Диагностика оборудования с ЧПУ методами нечеткой логики // Промышленные АСУ и контроллеры. 2010. № 1. С. 18—20.
6. *Титов В. С., Бобырь М. В., Милостная Н. А.* Автоматическая компенсация тепловых деформаций шпиндельных узлов прецизионного оборудования с ЧПУ // Промышленные АСУ и контроллеры. 2006. № 11. С. 31—35.
7. *Пегат А.* Нечеткое моделирование и управление. М.: ИУИТ; БИНОМ, Лаборатория знаний, 2012. 798 с.
8. *Заде Л.* Понятие лингвистической переменной и его применение к принятию приближенных решений. М.: Мир, 1976. 165 с.
9. *Заде Л.* Основы нового подхода к анализу сложных систем и процессов принятий решений // Математика сегодня. М.: Знание, 1974. С. 5—49.

Сведения об авторах

- Максим Владимирович Бобырь** — канд. техн. наук, доцент; Юго-Западный государственный университет, кафедра вычислительной техники, Курск; E-mail: fregat_mn@rambler.ru
- Виталий Семенович Титов** — д-р техн. наук, профессор; Юго-Западный государственный университет, кафедра вычислительной техники, Курск; заведующий кафедрой; E-mail: titov-kstu@rambler.ru

Рекомендована Юго-Западным
государственным университетом

Поступила в редакцию
18.02.13 г.