

М. В. БОБЫРЬ

**ПРОЕКТИРОВАНИЕ
АДАПТИВНОЙ НЕЧЕТКО-ЛОГИЧЕСКОЙ СИСТЕМЫ УПРАВЛЕНИЯ.
ЧАСТЬ II**

Рассмотрены вопросы, связанные с проектированием адаптивной нечетко-логической системы управления прецизионным оборудованием. Приведены структурные схемы, позволяющие оценить принцип ее работы.

Ключевые слова: нечеткая логика, нечеткий логический вывод, системы управления, адаптация.

Введение. В первой части настоящей статьи была рассмотрена структура адаптивной нечетко-логической системы управления оборудованием с ЧПУ, позволяющей в режиме реального времени компенсировать возмущающие воздействия на технологическую систему „станок—приспособление-инструмент—деталь“ [1, 2]. Ниже рассмотрены структурные элементы адаптивной системы управления и принцип их работы, которые не приведены в первой части статьи.

Элементные блоки адаптивной системы управления. Блок ввода выходной переменной (БВВП) используется для хранения информации о выходной переменной, заданной параметризованной функцией принадлежности (ФП). На рис. 1, а представлена его структурная схема, причем выходным является сигнал, формируемый на шине D[47...0].

Логические элементы DD7.1÷DD7.5 представляют собой ОЗУ (RAM16K), выполненные на логических схемах КР537РУ8. Для записи информации в ОЗУ необходимо установить в положение „логический ноль“ сигнал $W/R=0$. Процесс записи ячеек ОЗУ (прошивки) аналогичен записи данных в блок ввода информации. Так, например, если выходная переменная задана ФП, представленной на рис. 2, а, то терм y_1 хранится в ОЗУ DD7.1 ($y_1 \rightarrow DD7.1$), при этом данные, передаваемые по A[9...0], соответствуют значениям по оси абсцисс терма y_1 , а данные, передаваемые по Y₁[7...0], соответствуют значениям по оси ординат терма y_1 . Аналогично прошиваются и остальные ОЗУ: терм $y_2 \rightarrow DD7.2$, терм $y_3 \rightarrow DD7.3$, терм $y_4 \rightarrow DD7.4$, терм $y_4 \rightarrow DD7.5$. Следует учитывать, что данные, вводимые по Y₁[7...0], являются целыми числами и находятся в диапазоне 0—255. Чтобы данные величины принадлежали диапазону значений 0—1, их необходимо разделить на 100. Для передачи информации из БВВП необходимо на входе логических элементов ОЗУ (DD7.1÷DD7.5) установить $W/R=1$.

Блок усечения термов выходной переменной (БУТВП) предназначен для усечения термов выходной функции принадлежности. Структурная схема данного блока приведена на рис. 1, б, а графический результат выполнения данной операции — на рис. 2, б. Логические элементы DD8.1÷DD8.10 выполнены на компараторах К555СП1. Буферные схемы DD9.1÷DD9.10 выполнены на элементах К555АП6. Блоки ОЗУ DD10.1÷DD10.5 выполнены на ОЗУ (RAM16K) КР537РУ8.

Для записи минимального значения между d и c в ОЗУ необходимо с помощью выхода микроконтроллера RB3 подать на входной ОЗУ W/R сигнал логического нуля, т.е. $W/R=0$. Связки компараторов выбирают минимальный сигнал и пропускают его в буфер данных. Рассмотрим случай $y_1 < d_1$. На вход компаратора DD8.1 подаются старшие разряды $y_1[7...4]$ и $d_1[7...4]$, а на компаратор DD8.2 — младшие $y_1[3...0]$ и $d_1[3...0]$. Если $y_1 < d_1$, то на выходе компаратора DD8.2 „<“ будет логическая единица, и буферная схема DD9.2 заблокируется. При этом на выходе компаратора „>“ будет логический ноль, который откроет буферную схему DD9.1 для записи в нее минимального значения $y_1[7...0]$. Схема ОЗУ DD10.1 настроена на запись в нее информации, так как $W/R=0$. После того как

с $A[9...0]$ поступит первый сигнал на схему ОЗУ DD10.1, она запишет минимальный сигнал $y_1[7...0]$, поступающий из буферной схемы DD9.1. Остальные связки компараторов DD8.3÷DD8.10, буферных схем DD9.3÷DD9.10 и ОЗУ DD10.2÷DD10.5 работают аналогичным образом. При этом в блоке DD10.1 хранится сигнал $e_1[7...0]$, т.е. первый терм усеченной выходной ФП. Так же записываются и остальные усеченные термы ФП.

a)

b)

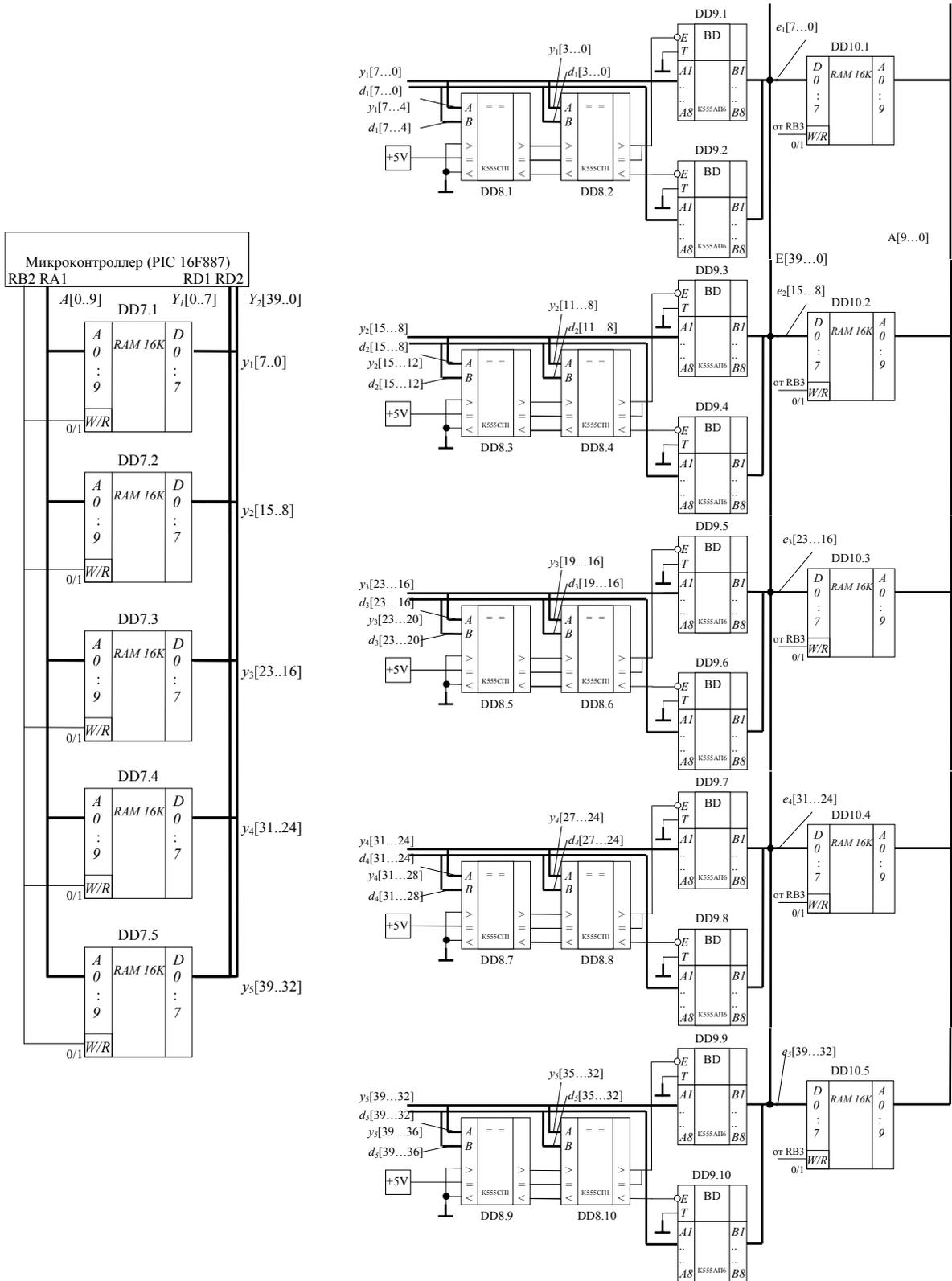


Рис. 1

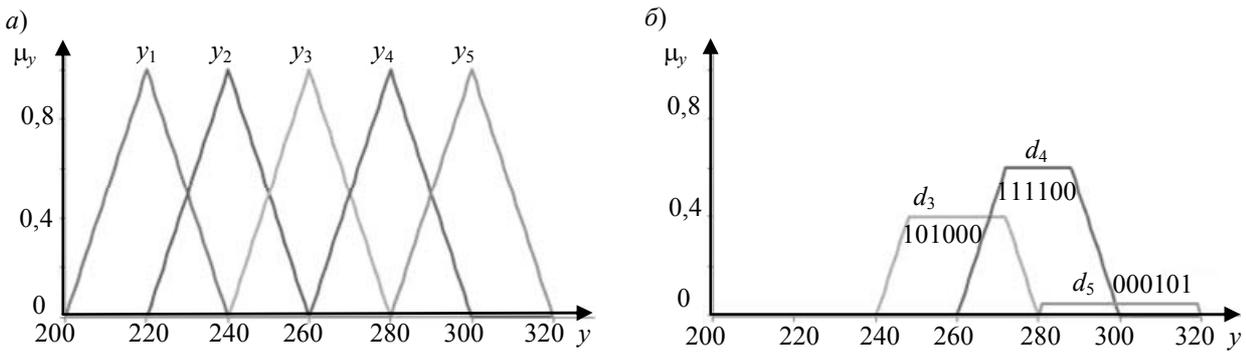


Рис. 2

Блок объединения усеченных термов выходной переменной (БОУТВП) используется для объединения усеченных термов выходной ФП в один массив данных (рис. 3). Структурная схема данного блока приведена на рис. 4, а. Логические элементы DD11.1÷DD11.8 выполнены на компараторах К555СП1, буферные схемы DD12.1÷DD12.8 — на элементах К555АП6, блок ОЗУ DD13.1 — на ОЗУ (RAM16К) КР537РУ8. Для записи информации в блок ОЗУ $W/R=0$. Для передачи сигналов (режим чтения) от блоков ОЗУ DD10.1÷DD10.5 необходимо входной сигнал буферных схем DD10.1÷DD10.5 установить в состояние логической единицы.

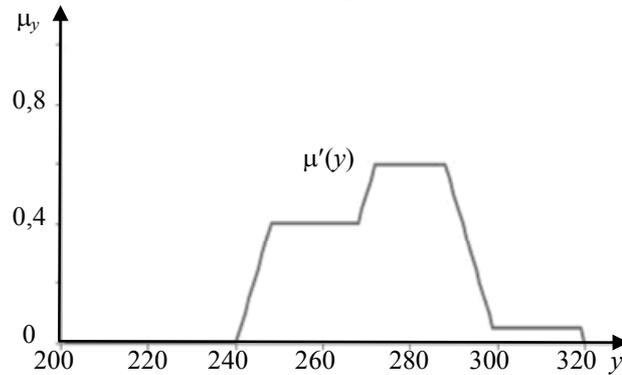


Рис. 3

Связки компараторов выбирают максимальный сигнал из усеченных ФП, хранимых в блоках ОЗУ DD10.1÷DD10.5 на шине $E[39...0]$, и пропускают его в буфер данных, построенных на схемах DD12.1÷DD12.8.

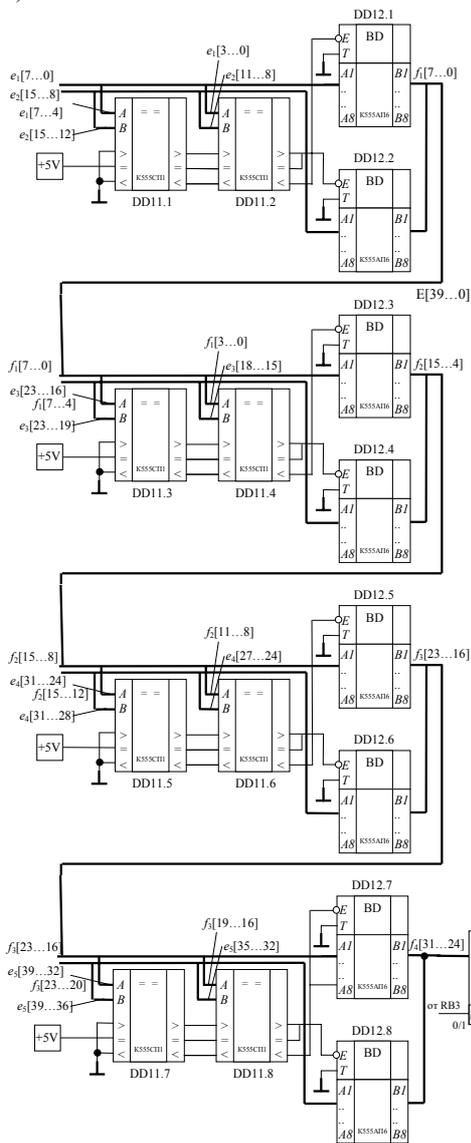
Принцип работы БОУТВП следующий. На вход компаратора DD11.1 подаются старшие разряды $e_1[7...4]$ и $e_2[15...12]$, а на DD11.2 — младшие $e_1[3...0]$ и $e_2[11...8]$. Если $e_1 < e_2$, то на выходе компаратора DD11.2 „<“ будет сигнал логической единицы, который заблокирует буферную схему DD11.1. При этом на выходе компаратора „>“ будет логический нуль, откроется буферная схема DD12.2 для записи в нее максимума $e_2[15...8]$. После того как в буферные схемы DD12.1÷DD12.2 поступит максимальный сигнал (в схему DD12.2) $f_1[7...0] = \max(e_1, e_2)$ из двух сравниваемых, аналогичным образом будет получен сигнал f_1 , который сравнивается с $e_3[23...16]$. При этом максимум f_2 из двух f_1 и e_3 $f_2[15...8] = \max(f_1, e_3)$ поступит в одну из двух буферных схем DD12.3÷DD12.4. Запись остальных ячеек ОЗУ ($f_2 \div f_5$) осуществляется аналогичным образом.

Блок дефаззификации (БД) предназначен для формирования дефаззифицированного значения выходной переменной на основе [3—5]

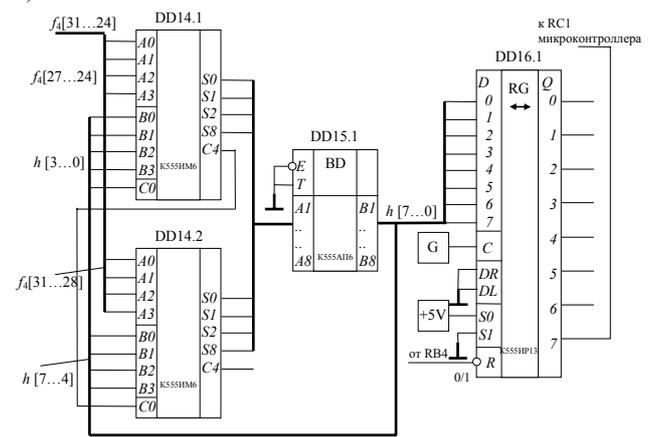
$$y' = \frac{\sum_{l=1}^k y_l \mu'(y)_l}{\sum_{l=1}^k \mu'(y)_l} = \frac{\Sigma_1}{\Sigma_2}.$$

Структурная схема БД для нахождения первой суммы Σ_1 приведена на рис. 4, б, а для определения второй суммы Σ_2 — на рис. 4, в. Процедуру определения суммы Σ_1 необходимо разделить на две операции. Первоначально между собой перемножаются два операнда, затем полученные результаты на каждой итерации суммируются. Для перемножения операндов y_i и $\mu'(y_i)$ используется умножитель DD18.1 [6], выполненный на основе логической схемы К555ИП9, функционирующий согласно алгоритму Бута, суть которого состоит в последовательном многотактном формировании произведения за счет весового алгебраического суммирования множимого.

а)



б)



в)

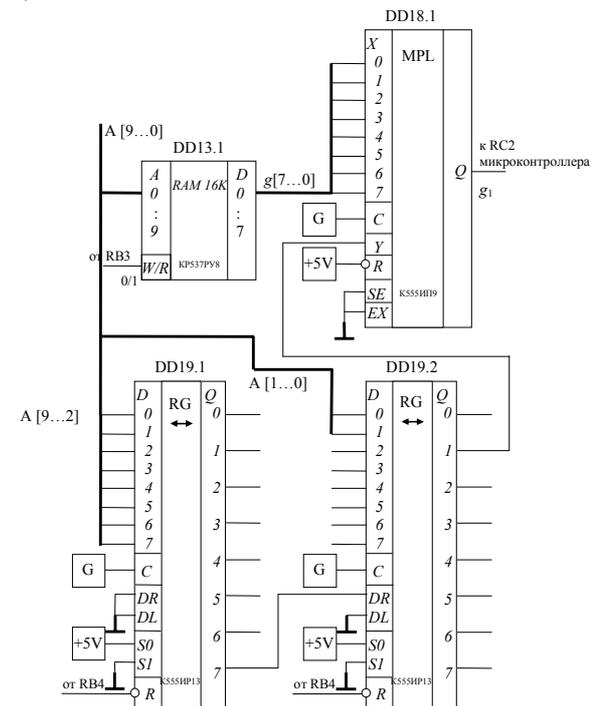


Рис. 4

В режиме умножения на входе R должен действовать сигнал логической единицы. На входы схемы умножителя $X[7...0]$ подается параллельный код сигнала, записанного в ОЗУ DD13.1. На информационный вход Y умножителя DD18.1 передается последовательный код адреса, соответствующего номеру ячейки $g[7...0]$, в которой хранятся данные, передаваемые на входы $X[7...0]$ умножителя. Вход умножителя C подключен к генератору импульсов G . Параллельный код адреса $A[9...0]$ преобразуется в последовательный с помощью двух

сдвиговых регистров DD19.1÷DD19.2, которые работают в режиме „сдвиг вправо“. Регистровые схемы выполнены на цифровых схемах K555ИР13. Шина A[9...0] 10-разрядная, поэтому на первую схему DD19.1 подаются старшие разряды A[9...2], а на вторую DD19.2 — младшие A[1...0]. Чтобы информация не была потеряна при наращивании сдвиговых регистров, седьмой выход схемы DD19.1 подключен к входу DR второго сдвигового регистра DD19.2. Последовательный код с шины A[9...0] снимается с первого выхода второй схемы DD19.2 и передается на информационный вход умножителя Y. Такое подключение логических элементов позволяет выполнять операцию умножения двух операндов. Полученное произведение передается в последовательном коде на вход RC2 микроконтроллера, который помещает в своей памяти первое произведение. Далее последовательно перемножаются в умножителе DD18.1 последующие номера адресов ячеек памяти ОЗУ DD13.1 на соответствующие данные, хранимые в этих ячейках, а результат произведения записывается в память микроконтроллера. После выполнения всех операций умножения микроконтроллер по заданной программе рассчитывает суммарное значение произведений Σ_1 .

Для определения второй суммы Σ_2 необходимо последовательно сложить все данные, записанные в буферную схему DD13.1. Для этого ОЗУ DD13.1 переводится в режим чтения информации, на входе W/R=1 устанавливается логическая единица, а на сумматоры DD14.1 передаются младшие разряды $f_4[27...24]$ и суммы $h[3...0]$, полученные на i -й итерации, а на сумматор DD14.2 передаются старшие разряды $f_4[31...28]$ и суммы $h[7...4]$. В качестве сумматоров DD14.1÷DD14.2 используются цифровые схемы K555ИМ6. Результат суммирования, полученный на i -й операции, хранится в буферной схеме ОЗУ DD15.1. После выполнения всех итераций результирующая сумма Σ_2 будет храниться в буферной схеме DD15.1. Для передачи полученного значения суммы Σ_2 в микроконтроллер параллельный 8-разрядный код $h[7...0]$ преобразуется в последовательный. Для этой операции используется регистр сдвига DD16.1, выполненный на логической схеме K555ИР13. На ее входы данных D подается 8-разрядный код $h[7...0]$, а с седьмого выхода снимается последовательный код, который передается на вход микроконтроллера RC1.

После определения двух суммарных значений Σ_1 и Σ_2 МК по заданной программе выполняет процедуру деления первой суммы на вторую Σ_1/Σ_2 . Результат процедуры является выходным значением, полученным в ходе реализации нечеткого логического вывода. Проведенные экспериментальные исследования показали эффективность предложенной адаптивной системы управления исполнительными механизмами оборудования с ЧПУ [7, 8], в частности, точность при механической обработке изделий повысилась не менее чем на 10 %, а скорость принятия управляющих решений при компенсации внешних факторов, действующих в режиме реального времени на технологическую систему „станок—приспособление—инструмент—деталь“, повысилась в 1,5 раза.

Заключение. Таким образом, предлагаемая структурная схема адаптивной системы управления исполнительными механизмами оборудования с ЧПУ, рассмотренная в первой части статьи, позволяет в режиме реального времени повысить точность механической обработки изделий, а также увеличить скорость принятия решений в случае воздействия внешних факторов.

Работа выполнена в рамках гранта Президента РФ МК-277.2012.8 и ФЦП, государственный контракт № 14.740.11.1003.

СПИСОК ЛИТЕРАТУРЫ

1. Яблочников Е. И., Молочник В. И., Гусельников В. С. Метод разработки групповых технологических процессов для оборудования с числовым программным управлением // Изв. вузов. Приборостроение. 2010. Т. 53, № 6. С. 63—67.

2. Акульшин Г. Ю., Бобырь М. В., Ширабакина Т. А. Система фиксации деталей на основе электро-реологического эффекта // Изв. вузов. Приборостроение. 2012. Т. 55, № 2. С. 47—50.
3. Бобырь М. В., Титов В. С. Интеллектуальная система управления температурными деформациями при резании // Автоматизация и современные технологии. 2011. № 5. С. 3—7.
4. Бобырь М. В. Диагностика оборудования с ЧПУ методами нечеткой логики // Промышленные АСУ и контроллеры. 2010. № 1. С. 18—20.
5. Рутковская Д., Пилиньский М., Рутковский Л. Нейронные сети, генетические алгоритмы и нечеткие системы. М.: Горячая линия-Телеком, 2006. 452 с.
6. Угрюмов Е. П. Цифровая схемотехника. СПб: БХВ-Петербург, 2004. 528 с.
7. Титов В. С., Бобырь М. В., Милостная Н. А. Автоматическая компенсация тепловых деформаций шпиндельных узлов прецизионного оборудования с ЧПУ // Промышленные АСУ и контроллеры. 2006. № 11. С. 31—35.
8. Бобырь М. В., Титов В. С., Анциферов А. В. Алгоритм высокоскоростной обработки деталей на основе нечеткой логики // Мехатроника, Автоматизация, Управление. 2012. № 6. С. 21—26.

Сведения об авторе

Максим Владимирович Бобырь

— канд. техн. наук, доцент; Юго-Западный государственный университет, кафедра вычислительной техники, Курск; E-mail: fregat_mn@rambler.ru

Рекомендована Юго-Западным
государственным университетом

Поступила в редакцию
18.02.13 г.