

5. Kong Z., Bian J., Zhao Y., Deng S. Hierarchical Formal Verification Methodology based on Transactions // Workshop on RTL and High Level Testing. 2009. P. 1—4.

- Александр Александрович Антонов** — *Сведения об авторах*  
— студент; Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кафедра вычислительной техники;  
E-mail: antonov.alex.alex@gmail.com
- Сергей Вячеславович Быковский** — аспирант; Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кафедра вычислительной техники; E-mail: bsv.serg@gmail.com
- Павел Валерьевич Кустарев** — канд. техн. наук, доцент; Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кафедра вычислительной техники;  
E-mail: kustarev@lmt.ifmo.ru

Рекомендована кафедрой  
вычислительной техники

Поступила в редакцию  
23.12.13 г.

УДК 004.896

В. И. ПОЛЯКОВ, В. И. СКОРУБСКИЙ

## ИСПОЛЬЗОВАНИЕ МНОГОЗНАЧНОЙ ЛОГИКИ ПРИ ПРОЕКТИРОВАНИИ ФУНКЦИОНАЛЬНЫХ СХЕМ

Рассмотрены приложения многозначной логики к задачам анализа цифровых схем (в том числе функционального и временного моделирования и тестирования). Рассматриваются особенности применения булевой алгебры к вычислениям над собственными подмножествами.

*Ключевые слова:* моделирование цифровых схем, временное моделирование, тестирование схем, трюичное тестирование.

**Введение.** Из многочисленных способов кодирования информации особый интерес представляет многозначная (более двух значений переменных) логика как один из опытов расширения границ осознания и формального описания логических связей реального мира. В работе [1] многозначность определена как способ отображения различных смысловых оттенков информации в рассуждениях. Таким образом, возникло направление многозначной логики, в котором работали математики, экономисты, философы, заинтересованные в повышении качества передачи информации в рассуждениях. Многозначные признаки информации — различные уровни дискретности (0, 1, 2) — в измерениях (мало, больше, среднее значение, много), ощущениях и представлениях требуют оценки, распознавания и принятия решений, несмотря на нечеткость значений. Таким образом, многозначная логика приобретает содержание в практических приложениях.

**Временное моделирование цифровых схем.** В САПР цифровых схем моделирование и тестирование работоспособности — обязательный этап, это единственный доступный при проектировании метод проверки качества синтеза схем с учетом реальных условий их работы.

Применяемые двузначные дискретные сигналы вследствие емкостной нагрузки могут быть представлены как трехзначные или четырехзначные на переходах, когда формируются значения на выходах логических элементов.

Работоспособность цифровых схем в ПЛИС в современных системах проектирования выявляется тестированием.

Языки HDL (Hardware Description Language) проектирования Verilog и VHDL [2] содержат соответствующие средства поддержки временного моделирования и опираются на четырехзначные логические вычисления.

В настоящей работе рассматривается подход к моделированию переходных процессов в цифровых схемах на основе четырехзначной логики.

Значения сигналов могут быть представлены четырьмя знаками  $\{L, H, x/, x\}$ , где  $\{L, H\} = \{0, 1\}$  — постоянные,  $x/$  — положительный фронт,  $x\$  — отрицательный фронт.

Работу элементов с такими сигналами можно описать с помощью таблиц, заменяющих традиционные таблицы истинности (здесь  $\Delta A$  — задержка):

A	$\bar{A}$
0	1
x/	x\
x\	x/
1	0

A&B	0	x/	x\	1
0	0	0	0	0
x/	0	x/	0	x/
x\	0	0	0	x\
1	0	x/	x\	1

A∨B	0	x/	x\	1
0	0	x/	x\	0
x/	x/	x/	1	x/
x\	x\	1	x\	x\
1	1	x/	x\	1

A⊕B	0	x/	x\	1
0	0	x/	x\	1
x/	0	x/	0	0
x\	x\	0	0	0
1	1	x\	x/	1

A	$\Delta A$
0	0
x/	1
x\	0
1	1

На рис. 1 приведен пример вычислений. Из представленной комбинационной схемы видно, что на входе элемента 1 изменяется сигнал  $x\ = H/0$ , на выходе элемента 3 формируется устойчивое значение „0“. Набор значений на входе схемы выбирается с учетом задержек сигналов. Промежуточные значения формируются с задержками, и для расчета значений сигналов с учетом задержек на элементах и соединениях при моделировании выбирается такт.

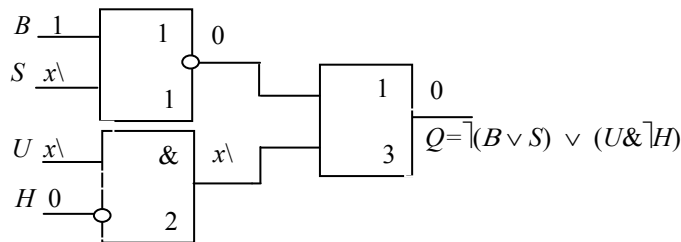


Рис. 1

**Структурное трюичное тестирование цифровых схем.** При изготовлении и отладке реальные цифровые схемы необходимо тестировать с целью выявления неисправностей, относящихся к „катастрофическим“ — обрыв соединений или короткие замыкания.

При этом следует сформировать смежные тесты, в результате исследования которых при изменении одного из входов изменяется выход схемы. Для известной структурной схемы можно представить это изменение как последовательное переключение входов и выходов элементов (путей) [3—5].

Обозначим значения входной переменной  $\{0, 1, d\}$ , где  $d$  — изменение переменной 0/1 или 1/0. В результатах контрольного теста обнаруживается неисправность, если значение  $d$  должно распространяться до контролируемого выхода схемы. Тестовая последовательность может быть выбрана при моделировании схемы с использованием табличных трюичных логических функций путем последовательного подбора значений входов при условии, что выход принимает значение  $d$ :

A	$\bar{A}$
d	d
0	1
1	0

A	B	A∨B	A&B	$\bar{(A∨B)}$	A& $\bar{B}$
1	d	1	d	0	d
d	1	1	d	0	0
0	d	d	0	d	0
d	0	d	0	d	d

На рис. 2 приведен пример выбора одного из наборов теста  $Q = d$ .

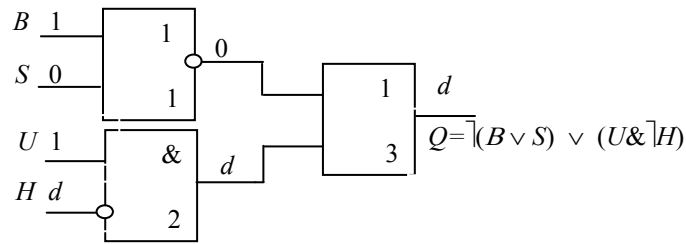


Рис. 2

Ниже представлена полная таблица наборов теста, полученная от выхода ко входам (сверху вниз).

		$BS$	$UH$			$BS$	$UH$
		1 0	1 d			d 0	0 0
$d \leftarrow$	$0 d \leftarrow$	0 1	d 1	$d \leftarrow$	$d 0 \leftarrow$	0 d	1 0
		1 1	1 d			d 0	0 1
		1 1	d 1			0 d	0 1

Полный тест, контролирующий все пути схемы, может быть выбран по полученной таблице. Необходимо, чтобы подмножество тестовых наборов покрывало все входы схемы —  $\vee (BSUH) = dddd$ , например:

Тест	$B$	$S$	$U$	$H$
1	1	0	1	$d$
2	1	0	$d$	1
3	$d$	0	1	0
4	0	$d$	1	0

Тестовые последовательности поступают на входы схемы, тест будем считать минимальным, если найдена минимальная последовательность смежных тестов. Существование такого теста можно определить на графе смежности тестовых наборов (наборы смежны, если они различаются только по одной координате  $d = \{0, 1\}$ ).

Тест	$B$	$S$	$U$	$H$
4	0	1	1	0
3, 4	0	0	1	0
1, 3	1	0	1	0
1, 2	1	0	1	1
2	1	0	0	1

Граф смежности тестовых наборов представлен на рис. 3.

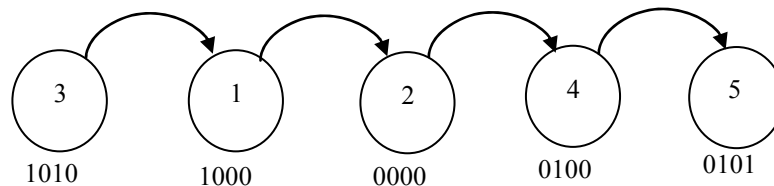


Рис. 3

Минимальный тест — это последовательность наборов  $3 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 5$ .

**Булева алгебра подмножеств.** Сформулируем в виде лемм известный факт из работы [6].

*Лемма.* Число собственных подмножеств множества  $M$  из  $N$  элементов, включая пустое множество, равно  $2^N$ .

Упорядочим элементы множества  $M$  простым перечислением и представим его двоичным вектором  $\mathbf{B} = (b_{N-1}, \dots, b_0)$  из  $N$  бит, где  $b_i = 1$ , если  $i$ -элемент принадлежит множеству  $M$ .

Таким образом,  $\mathbf{B} = 2^N - 1$ , и система из всех подмножеств  $M$  состоит из  $2^N$  элементов, причем каждый элемент подмножества однозначно идентифицируется порядковым номером и каждое подмножество однозначно кодируется двоичным вектором (числом).

*Лемма.* Алгебра подмножеств с операциями  $\&$  (поразрядная конъюнкция),  $\vee$  (поразрядная дизъюнкция) и  $\bar{\phantom{x}}$  (поразрядная инверсия — дополнение до  $\mathbf{B}$ ) является булевой алгеброй, где  $\mathbf{B} = 1$  и подмножество пустое.

Доказательством является выполнение законов булевой алгебры, что следует из справедливости этих законов для поразрядных логических операций с двоичными кодами для независимых двоичных разрядов.

Приведем пример вычисления (подмножества  $M$ ). Вычислим логическое выражение, где  $B, S, U, H$  — подмножества из множества, содержащего 8 элементов,  $B = 10000111$ ,  $S = 10100100$ ,  $U = 10000101$ ,  $H = 00100011$ :

$$\begin{aligned} Q &= \bar{\phantom{x}}(B \vee S) \vee (U \& \bar{\phantom{x}}H) = \bar{\phantom{x}}(10100111) \vee (10000100) = \\ &= (01011000) \vee (10000100) = (11011100). \end{aligned}$$

Аналогичным образом может выполняться параллельное трехзначное векторное тестирование схем.

**Заключение.** Таким образом, многозначное кодирование логики можно использовать при решении практических задач анализа: в частности, при контроле переходных процессов в функциональных схемах и тестировании реальных схем на наличие неисправностей в виде обрывов и коротких замыканий.

Работа выполнена при финансовой поддержке РФФИ (грант 12-07-00376-а).

#### СПИСОК ЛИТЕРАТУРЫ

1. Карпенко А. С. Логика Лукасевича и простые числа. М.: Либроком, 2009. 256 с.
2. Harris D. M., Harris S. L. Digital Design and Computer Architecture. Elsevier Inc., 2012. 712 p.
3. Зыков А. Г., Немолочнов О. Ф., Поляков В. И. Построение комплексного покрытия последовательностных схем методом пересечения покрытий систем булевых функций // Научно-технический вестник СПб ГИТМО (ТУ). 2002. Вып. 6. С. 109—112.
4. Зыков А. Г., Немолочнов О. Ф., Поляков В. И. Методы верификации цифровых устройств // Тр. Междунар. науч.-техн. конф. „Интеллектуальные системы“ (IEEE AIS'04) и „Интеллектуальные САПР“ (CAD-2004). М.: Физматлит, 2004. Т. 2. С. 39—41.
5. Гатчин Ю. А., Зыков А. Г., Поляков В. И., Поляков И. В. Методологическое обеспечение синтеза тестов логических схем // „Информационные технологии в профессиональной деятельности и научной работе“: Сб. матер. Всерос. науч.-практ. конф. Йошкар-Ола: Марийский гос. тех. ун-т, 2011. Т. 1. С. 113—119.
6. Курош А. Г. Общая алгебра. М.: Физматлит, 1974. 162 с.

#### Сведения об авторах

**Владимир Иванович Поляков**

— канд. техн. наук, доцент; Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кафедра вычислительной техники;  
E-mail: v\_i\_polyakov@mail.ru

**Владимир Иванович Скорубский**

— канд. техн. наук, доцент; Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кафедра вычислительной техники; E-mail: vlis@km.ru

Рекомендована кафедрой  
вычислительной техники

Поступила в редакцию  
23.12.13 г.