
ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ И ИХ ЭЛЕМЕНТЫ

COMPUTING SYSTEMS AND THEIR ELEMENTS

УДК 004.272.45
DOI: 10.17586/0021-3454-2023-66-11-950-959

АРИФМЕТИЧЕСКИЙ ВЫЧИСЛИТЕЛЬ НА ЭЛЕМЕНТАХ НЕЙРОННОЙ ЛОГИКИ

В. С. ТИТОВ, С. С. ШЕВЕЛЕВ*

Юго-Западный государственный университет, Курск, Россия
**schewelew@mail.ru*

Аннотация. Представлен арифметический вычислитель, выполняющий операции сложения и вычитания чисел в формате с фиксированной запятой в прямом коде и построенный на элементах нейронной логики. Арифметические операции суммирования или вычитания выполняются при анализе кода операции и знаковых цифр чисел. Если сумма знаковых разрядов двоичных чисел и кода операции равна нулю, то выполняется операция суммирования, в противном случае — вычитание. При суммировании определяется перенос из младших разрядов в старшие, при вычитании вычисляется заем из старших разрядов в младшие. Предложенное устройство обладает повышенной скоростью вычислений, а использование нейроподобных элементов позволяет снизить аппаратную сложность.

Ключевые слова: вычислительный модуль, логическая схема, микропроцессор, нейронные логические элементы, система коммутации, суммирование, вычитание

Ссылка для цитирования: *Титов В. С., Шевелев С. С.* Арифметический вычислитель на элементах нейронной логики // Изв. вузов. Приборостроение. 2023. Т. 66, № 11. С. 950—959. DOI: 10.17586/0021-3454-2023-66-11-950-959.

ARITHMETIC CALCULATOR BASED ON NEURAL LOGIC ELEMENTS

V. S. Titov, S. S. Shevelev*

The Southwest State University, Kursk, Russia
**schewelew@mail.ru*

Abstract. An arithmetic calculator that performs addition and subtraction operations with numbers in a fixed-point format in direct code and is built on elements of neural logic, is presented. Arithmetic operations of summation or subtraction are performed by analyzing the operation code and signed digits of numbers. If the sum of the sign bits of binary numbers and the operation code is equal to zero, then the summation operation is performed, otherwise - subtraction. When summing, the transfer from low to high digits is determined; when subtracting, a loan from high to low digits is calculated. The proposed device has increased computing speed, and the use of neural-like elements allows reducing hardware complexity.

Keywords: computing modules, logic circuits, microprocessors, neural logic elements, switching system, summation, subtraction

For citation: *Titov V. S., Shevelev S. S.* Arithmetic calculator based on neural logic elements. *Journal of Instrument Engineering*. 2023. Vol. 66, N 11. P. 950—959 (in Russian). DOI: 10.17586/0021-3454-2023-66-11-950-959.

Многопроцессорные вычислительные системы с программируемой архитектурой могут быть созданы на базе логических интегральных схем FPGA высокой степени интеграции [1, 2]. Вычислительные комплексы обеспечивают параллелизм и распределение управляю-

щих процессоров, доступ к данным и их обработку, децентрализованное управление системой и асинхронное взаимодействие процессоров и модулей [3—5]. Специализированные вычислительные модули дополняются универсальными процессорами для ускоренного выполнения задач обработки символьной информации: $P_1 \rightarrow (\cdot) Q_1, P_2 \rightarrow (\cdot) Q_2, \dots, P_n \rightarrow (\cdot) Q_n$: применяя конечный упорядоченный набор формул подстановки вхождений к обрабатываемому слову, упорядочиваем данные $a'_1 \leq a'_2 \leq \dots \leq a'_n$, также выполняется распределение ресурсов между локализованными центрами $X_h PC_q \# X_d PC_k \# X_m PC_t / Y_x CM_s \# Y_k CM_p \# Y_r CM_g$ [6].

Специализированные модули ориентированы на ускоренное выполнение конкретных функций, что позволяет значительно повысить эффективную производительность при решении только определенных задач. Микропроцессоры ориентированы на выполнение сложных последовательностей логических операций — инверсии, конъюнкции, дизъюнкции, исключающего ИЛИ, эквивалентности; математические микропроцессоры предназначены для повышения производительности при выполнении арифметических операций — суммирования, вычитания, произведения, деления с фиксированной запятой и в формате с плавающей запятой. Эти специальные схемы способны обеспечить высокую производительность [7, 8].

В настоящей статье представлен разработанный арифметический вычислитель, выполняющий основные математические операции и построенный на элементах нейронной логики [9].

Нейроподобные структуры работают с высокой надежностью, что не приводит к избыточным затратам на оборудование. Сумма одноразрядных двоичных чисел и перенос в старший разряд, а также разность и заем из старшего разряда при вычитании определяются на элементах функциональной схемы [10, 11]. Арифметические операции выполняются в прямых кодах $S_{\text{пр.к}} = A_{\text{пр.к}} + B_{\text{пр.к}}, R_{\text{пр.к}} = A_{\text{пр.к}} - B_{\text{пр.к}}$. Вычитание чисел выполняется в два цикла работы устройства, сложение — в один цикл. Выход из строя большого количества элементов нейронной сети не приводит к сбоям в работе всей структуры [12—14].

Полный одноразрядный сумматор предназначен для сложения трех одноразрядных двоичных чисел. Устройство имеет три входа — двоичные разряды A_i, B_i и результат переноса P_{i+1} предыдущего сумматора, и два выхода — результат сложения S_i и сигнал переноса P_i в старший разряд. Сумма S_i чисел определяется по формуле

$$S_i = \bar{P}_{i+1} \bar{A}_i B_i \vee \bar{P}_{i+1} A_i \bar{B}_i \vee P_{i+1} \bar{A}_i \bar{B}_i \vee P_{i+1} A_i B_i = P_{i+1} \oplus A_i \oplus B_i.$$

Перенос P_i из младшего разряда в старший при сложении чисел определяется как

$$P_i = A_i B_i \vee P_{i+1} A_i \vee P_{i+1} B_i.$$

Полный одноразрядный вычитатель вычисляет разность двоичных чисел; входные данные — заем Z_{i-1} из младшего разряда, уменьшаемое A_i , вычитаемое B_i ; выходные данные — разность R_i чисел, заем Z_i , полученный в i -м разряде. Разность чисел R_i определяется формулой

$$R_i = \bar{Z}_{i-1} \bar{A}_i B_i \vee \bar{Z}_{i-1} A_i \bar{B}_i \vee Z_{i-1} \bar{A}_i \bar{B}_i \vee Z_{i-1} A_i B_i = Z_{i-1} \oplus A_i \oplus B_i,$$

заем Z_i из старшего разряда в младший — формулой

$$Z_i = \bar{A}_i B_i \vee Z_{i-1} \bar{A}_i \vee Z_{i-1} B_i.$$

Арифметические операции в рассматриваемом устройстве выполняются в прямых кодах. Микрооперации $R = \{ R_1, R_2 \}$ выполняются в блоке арифметических вычислений S : суммирование

$R_1 = y = \sum_{i=1}^n (a_i b_i) = (a_{n-1} + b_{n-1}) p^{n-1} + (a_{n-2} + b_{n-2}) p^{n-2} + \dots + (a_1 + b_1) p^1 + (a_0 + b_0) p^0$ и вычитание

$R_2 = y = \sum_{i=1}^n (a_i - b_i) = (a_{n-1} - b_{n-1}) p^{n-1} - (a_{n-2} - b_{n-2}) p^{n-2} - \dots - (a_1 - b_1) p^1 - (a_0 - b_0) p^0$

в формате с фиксированной запятой. Операции сложения и вычитания могут быть представлены в виде совокупности нелинейных унарных операций и операций суммирования (табл. 1). Входные сигналы A и B суммирующего преобразователя распределяются в соответствии с законами $f_A(\chi_1), f_B(\chi_2)$ и их взаимной корреляционной функцией — $Q_{AB}(\tau)$. Необходимо оценить дифференциальный закон распределения выходного сигнала $f_Y(y)$.

Таблица 1

Бинарные операции	Каноническое представление	
	$A>0, B<0$	при любых A и B из области определения
$S=A+B$	$S=A+B$	$S=A+B$
$S=A-B$	$Z=-B$ $S=A+Z$	$Z=-B$ $S=A+Z$

Интегральный закон распределения определяется как $F_Y(y) = P(Y < y) = P(A + B < y)$.

Обозначим через $C_y\{A, B\}$ область значений A и B , удовлетворяющих условию $\chi_1 + \chi_2 < y$, т.е. $C_y\{A, B\} = \{\chi_1 \in A, \chi_2 \in B \forall y: \chi_1 + \chi_2 < y\}$, тогда интегральный закон распределения имеет вид

$$F_y(y) = \int \int_{C_y} f_\chi(\chi_1, \chi_2) d\chi_1 d\chi_2,$$

откуда

$$F_y(y) = \int_{-\infty}^{\infty} \left[\int_{-\infty}^{y-\chi_2} f_\chi(\chi_1, \chi_2) d\chi_2 \right] d\chi_1 \text{ или } F_y(y) = \int_{-\infty}^{\infty} \left[\int_{-\infty}^{y-\chi_1} f_\chi(\chi_1, \chi_2) d\chi_1 \right] d\chi_2.$$

Дифференцируя эти формулы, находим

$$f_Y(y) = \int_{-\infty}^{\infty} f_X(\chi_1, y - \chi_1) d\chi_1 \text{ и } f_Y(y) = \int_{-\infty}^{\infty} f_X(y - \chi_2, \chi_2) d\chi_2.$$

Двумерная плотность вероятности может быть представлена как

$$f_X(\chi_1, \chi_2) = f_A(\chi_1) f_B(\chi_2/\chi_1),$$

где B — условный дифференциальный закон распределения при заданном χ_1 .

Для приближенного определения $f_B(\chi_2/\chi_1)$ составим уравнение линейной регрессии

$$m_{B/\chi_1} = m_B + r_{AB} \sqrt{\frac{D_B}{D_A}} \cdot (\chi_1 - m_{\chi_1}), \quad D_{\text{ост}} = D_B (1 - r_{AB}^2),$$

где m_{B/χ_1} — математическое ожидание закона распределения B при заданном χ_1 ; m_B — безусловное математическое ожидание закона распределения B ; D_A — дисперсия; D_B — дисперсия закона распределения B ; $D_{\text{ост}}$ — остаточная дисперсия B ; $r_{AB} = \frac{R_{AB}}{\sqrt{D_A D_B}}$ — ко-

эффициент корреляции A и B .

Сумма независимых случайных сигналов определяется по формуле $r_{AB} = 0$; находим

$$f_B(\chi_B/\chi_A) = f_B(\chi_2), \quad f_A(\chi_1, \chi_2) = f_A(\chi_1) f_B(\chi_2), \quad f_Y(y) = \int_{-\infty}^{\infty} f_A(\chi_1) \cdot f_B(y - \chi_1) d\chi_1.$$

Получены результаты для независимых случайных сигналов. Закон распределения разности двух сигналов имеет вид:

$$f_{Z_1}(Z_1) = f_B(-Z_1),$$

$$f_Y(y) = \frac{1}{\sqrt{1-r_{AB}^2}} \int_{-\infty}^{\infty} f_A(\chi_1) f_B \left[\frac{\chi_1 - y}{\sqrt{1-r_{AB}^2}} + \frac{r_{AB}}{\sqrt{1-r_{AB}^2}} \sqrt{\frac{D_B}{D_A}} \cdot (\chi_1 - m_A) + \left(1 - \frac{1}{\sqrt{1-r_{AB}^2}} \right) m_B \right] d\chi_1.$$

Разработан специализированный модуль вычислительной системы с параллельной схемой на элементах нейронной логики.

Блок ввода чисел используется для преобразования входных данных в двоичные коды $A_{10} \rightarrow A_2, B_{10} \rightarrow B_2$ и для вычисления арифметической операции суммирования или вычитания (СВ). Он содержит шифратор (ШФ) и сумматоры по модулю два (рис. 1). Двоичные коды первого и второго чисел (ДПЧ, ДВЧ) A_2, B_2 , знаковые разряды ЗнР A, B и код операции (КОП) формируются на выходе шифратора [9].

Выходные функции шифратора (f_1, f_2, f_3, f_4) имеют вид:

$$\begin{aligned} f_1 &= y_1 \vee y_3 \vee y_5 \vee y_7 \vee y_9 & \text{в базисе И—НЕ} & \quad f_1 = \overline{y_1 \& y_3 \& y_5 \& y_7 \& y_9}; \\ f_2 &= y_2 \vee y_3 \vee y_6 \vee y_7 & & \quad f_2 = \overline{y_2 \& y_3 \& y_6 \& y_7}; \\ f_3 &= y_4 \vee y_5 \vee y_6 \vee y_7 & & \quad f_3 = \overline{y_4 \& y_5 \& y_6 \& y_7}; \\ f_4 &= y_9 \vee y_8 & & \quad f_4 = \overline{y_9 \& y_8}. \end{aligned}$$

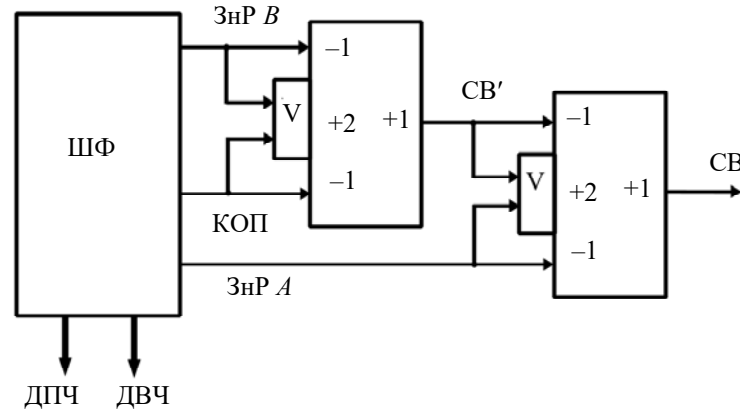


Рис. 1

Промежуточный результат операции равен

$$СВ' = \text{ЗнР } B \oplus \text{КОП}$$

и окончательно получаем

$$СВ = СВ' \oplus \text{ЗнР } A.$$

На входы каждой схемы сумматора-вычитателя поступают двоичные разряды чисел A_i и B_i , признак операции — сигнал СВ, перенос P_{i+1} из младших разрядов в старшие и заем Z_{i-1} из старших разрядов в младшие. Если сигнал СВ = 0, то $S = A_n + B_n$, если СВ = 1, то $R = A_n - B_n$. Знаковые разряды ЗнР A, B , сигнал СВ и сигнал заем из знакового разряда ЗмЗн Р, который поступает с выхода первого сумматора-вычитателя Сум-Выч₁, поступают на входы схемы для определения знака результата (рис. 2). Вычислитель Сум-Выч₁ выполняет арифметические операции со старшими разрядами входных чисел. Сигнал заем из знакового разряда ЗмЗн Р определяется при вычитании чисел: если сигнал ЗмЗн Р = 0, то $|A_n| \geq |B_n|$, в этом случае разность $R = A_n - B_n$; если сигнал ЗмЗн Р = 1, то $|A_n| < |B_n|$, в этом случае разность $R = B_n - A_n$. Для получения разности операндов необходимо поменять местами входные числа. Информационный сигнал результата РЕЗ является выходным сигналом блока.

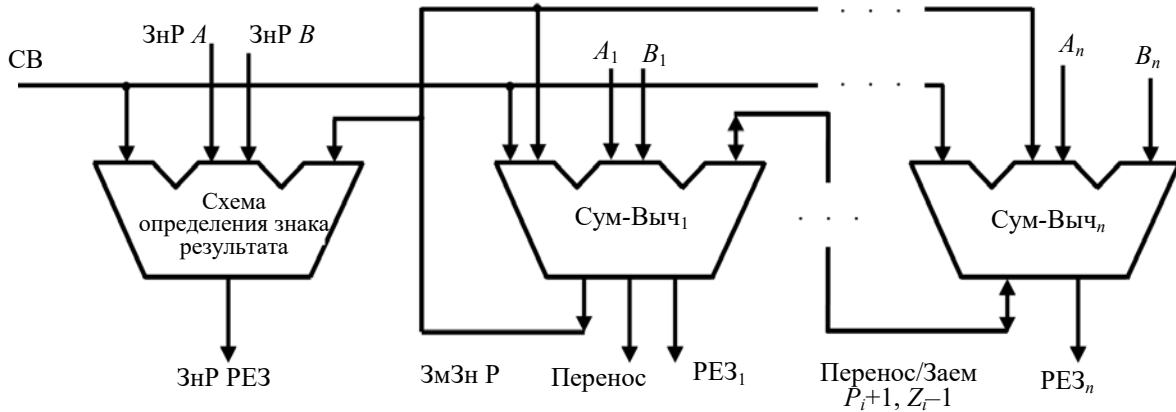


Рис. 2

Нейроподобный элемент вычисляет сумму S_i и разность R_i входных двоичных разрядов; пороговый элемент вычисляет перенос P_i из младшего разряда в старший при суммировании и заем Z_i из старшего разряда в младший при вычитании, что и демонстрирует функциональная схема сумматора-вычитателя на нейроподобных элементах (рис. 3), а результат его работы представлен в табл. 2.

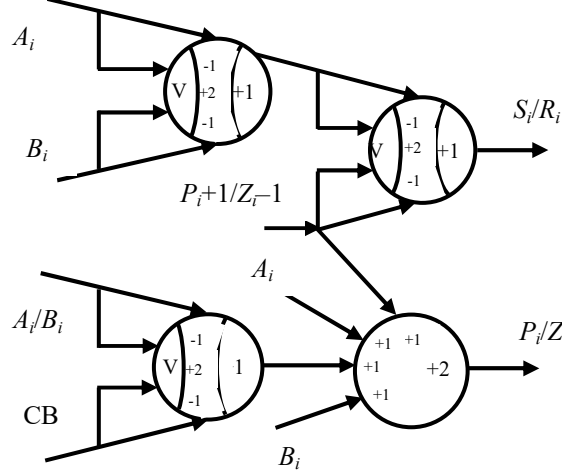


Рис. 3

Таблица 2

P_{i+1}/Z_{i-1}	A	B	$РЕЗ_i$	P_i	Z_i
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	1
1	1	0	0	1	0
1	1	1	1	1	1

Сумма S_i и разность R_i двоичных разрядов вычисляются как

$$S_i/R_i = (P_{i+1}/Z_{i-1}) \oplus A_i \oplus B_i.$$

При суммировании перенос P_i из младшего разряда в старший и заем Z_i из старшего разряда в младший вычисляются по формулам

$$P_i/Z_i = (A_i/B_i \oplus CB) + P_{i+1}/Z_{i-1} + A_i + B_i \geq 2 = 1,$$

$$P_i/Z_i = (A_i/B_i \oplus CB) + P_{i+1}/Z_{i-1} + A_i + B_i < 2 = 0.$$

На рис. 4 представлена структурная схема алгоритма параллельного сумматора-вычитателя, построенного на элементах нейронной логики.

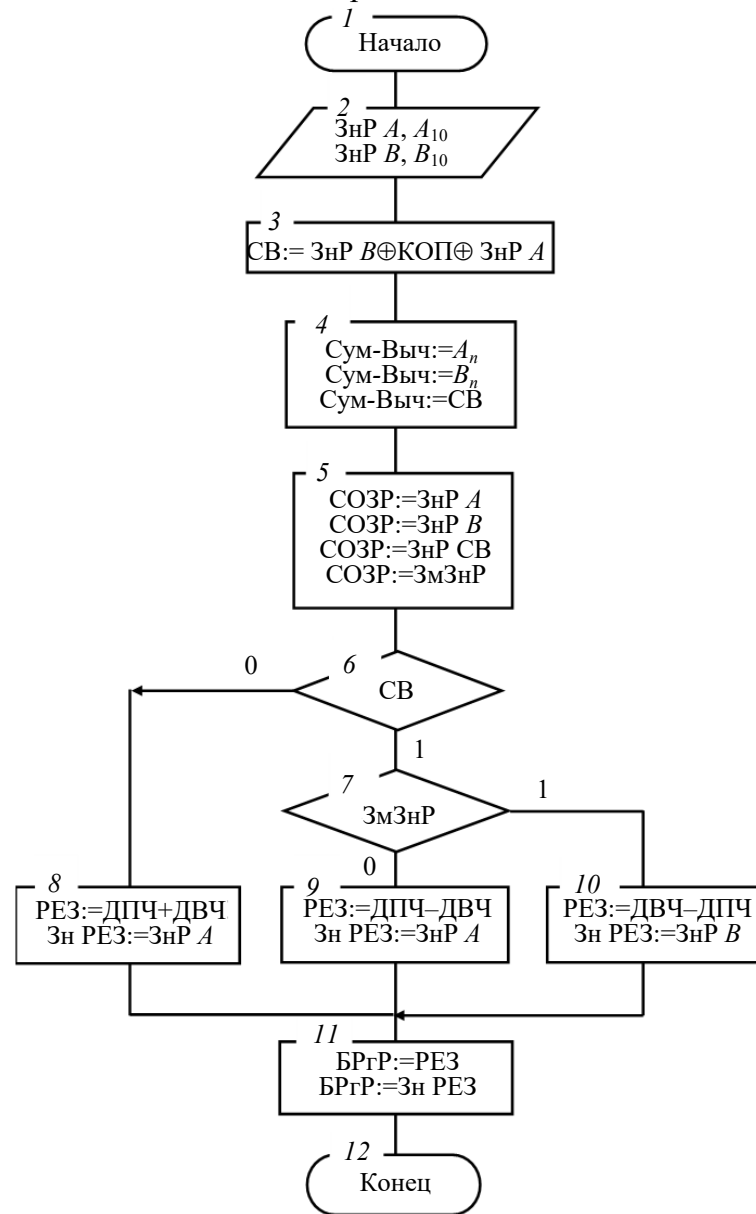


Рис. 4

Шаг 1. Начало.

Шаги 2—3. Вводятся десятичные числа A_{10} и B_{10} со своими знаками $ZнР A$ и $ZнР B$. Десятичные числа преобразуются в двоичные: $A_{10} \rightarrow A_2$, $B_{10} \rightarrow B_2$, $ZнР A \rightarrow \{0,1\}$ и $ZнР B \rightarrow \{0,1\}$. Команды программы:

```
Number-
Bin1=NumbersTenToBinary(number1.Text); numberBin2=NumbersTenToBinary(number2.Text);
Int CB=(numberSign1^numberSign2^KOP).
```

Арифметическая операция суммирования или вычитания определяется по формуле $СВ := ZнР B \text{ КОП} \oplus ZнР A$.

Шаги 4—5. Двоичные разряды чисел A_2 , B_2 , знаковые разряды двоичных чисел $ZнР A$, $ZнР B$, сигнал операции $СВ$, сигнал заем из знакового разряда $3МЗнР$ поступают на входы сумматора-вычитателя и схемы определения знака результата ($СОЗР$) `numberBin1; numberBin2; Int CB`. Фрагмент программы:

```
Public static int numberSign1; public static int numberSign2; int КОП; bool test;
```

Шаг 6. Анализируется сигнал операции суммирования или вычитания СВ: если СВ=0, то вычисляется сумма чисел A_n , B_n и осуществляется переход к шагу 7, если СВ=1, то вычисляется разность чисел A_n , B_n .

Фрагмент программы:

```
Int CB=(numberSign1^numberSign2^KOP); if (CB=0);  
answerBin=Addind(numberBin1, numberBin2); resultSign=numberSign1;
```

Шаг 7. Анализируется сигнал заем из знакового разряда ЗмЗнР, который вычисляется при вычитании чисел A_n и B_n . Если сигнал ЗмЗнР=0, это означает, что $A_n > B_n$, в этом случае вычисляется разность $A_n - B_n$ и выполняется переход к шагу 9. Если сигнал ЗмЗнР=1, это означает, что $A_n < B_n$, в этом случае вычисляется разность $B_n - A_n$ и осуществляется и переход к шагу 10. Программные команды:

```
Bool test = BinaryComparison(numberBin1, numberBin2);
```

Шаг 8. Если СВ=0, то вычисляется сумма чисел РЕЗ:=ДПЧ+ДВЧ. Знаковому разряду результата присваивается знаковый разряд первого числа Зн РЕЗ:=ЗнР А; фрагмент программы:

```
AnswerBin = Adding(numberBin1, numberBin2); resultSign = numberSign1;
```

Шаги 9—10. Выполняется операция вычитания из большего числа по модулю меньшего числа. Знаковому разряду результата присваивается знаковый разряд большего числа. Если $A_n > B_n$, то вычисляется разность чисел A_n и B_n , РЕЗ:=ДПЧ–ДВЧ, Зн РЕЗ :=ЗнР А. Если $A_n < B_n$, то вычисляется разность чисел B_n и A_n , РЕЗ:=ДВЧ–ДПЧ, Зн РЕЗ :=ЗнР В. Операторы программы:

```
Else if(CB==1&&test) { answerBin = Substraction(numberBin1, numberBin2);  
resultSign= numberSign1} else { answerBin = Substraction(numberBin2), number-  
Bin1); resultSign= (numberSign2^KOP);}
```

Шаг 11. Результат и его знаковый разряд записываются в блок регистра результата (БРг Р);

```
Txt.Text = "Ответ в двоичной: "+ answerBin.Insert(0,resultSign+".");
```

Шаг 12. Конец.

При суммировании чисел знаковому разряду результата присваивается знаковый разряд первого числа Зн РЕЗ:=ЗнР А. При вычитании чисел знаковому разряду результата присваивается знаковый разряд большего числа по модулю. Знаковый разряд результата определяется по формуле

$$\text{Зн РЕЗ} = (\text{СВ} \ \& \ \text{ЗмЗнР}) \ \& \ \text{ЗнР В} \vee \overline{(\text{СВ} \ \& \ \text{ЗмЗнР}) \ \& \ \text{ЗнР А}},$$

сигнал суммирования-вычитания СВ — по формуле

$$\text{СВ} = (\text{ЗнР В} \oplus \text{КОП}) \oplus \text{ЗнР А}.$$

Арифметический вычислитель с параллельной схемой на элементах нейронной логики, построенный на основе каскадного соединения n полных одноразрядных сумматоров-вычитателей [15, 16], выполняет арифметические операции сложения и вычитания двоичных чисел. Результатом выполнения операций является сумма S или разность R двоичных чисел (табл. 3) [17].

Регистр результата содержит некоторое число двоичных триггеров (количество разрядов), необходимых для получения результата. По сигналу разрешения на запись двоичные биты записываются параллельно в регистр результата [18].

Таблица 3

Число A_{10}	Число B_{10}	Число A_2	Число B_2	Код операции	W_2	W_{10}
68	29	0,1000100	0,0011101	Суммирование	0,1100001	97
36	47	0,0100100	0,0101111	Вычитание	1,0001011	-11
-43	57	1,0101011	0,0111001	Суммирование	0,0001110	14
-88	-49	1,1011000	1,0110001	Вычитание	1,0100111	-39
55	-34	0,0110111	1,0100010	Суммирование	0,010101	21
-29	42	1,0011101	0,0101010	Вычитание	1,1000111	-71
-87	-16	1,1010111	1,0010000	Суммирование	1,1100111	-103
65	38	0,1000001	0,0100110	Вычитание	0,0011011	27
-75	-31	1,1001011	1,0011111	Суммирование	1,1101010	-106
-68	25	1,1000100	0,0011001	Вычитание	1,1011101	-93
77	-34	0,1001101	1,0100010	Суммирование	0,0101011	43
-56	-71	1,0111000	1,1000111	Вычитание	0,0001111	15
49	32	0,0110001	0,0100000	Суммирование	0,1010001	81
-61	28	1,0111101	0,0011100	Вычитание	1,1011001	-89
-43	-22	1,0101011	1,0010110	Суммирование	1,1000001	-65
51	-10	0,0110011	1,0001010	Вычитание	0,0111101	61
-29	40	1,0011101	0,0101000	Суммирование	0,0001011	11
107	89	0,1101011	0,1011001	Вычитание	0,0010010	18
-54	-33	1,0110110	1,0100001	Суммирование	1,1010111	-87
21	88	0,0010101	0,1011000	Вычитание	1,1000011	-67
-102	82	1,1100110	0,1010010	Суммирование	1,0010100	-20
-94	-101	1,1011110	1,1100101	Вычитание	0,0000111	7

Примечание. Индексы „10“ и „2“ при числах A , B и W соответствуют десятичной и двоичной системам счисления; W — результат.

Время выполнения арифметических операций последовательным и параллельным вычислителями ($T_{\text{посл}}$, $T_{\text{пар}}$) показано в табл. 4.

Таблица 4

Число входных пар двоичных чисел	$T_{\text{посл}}$, нс	$T_{\text{пар}}$, нс
0	0	0
1	1	1
4	3	2
8	5	3
16	8	5
32	14	9

На графике, показанном на рис. 5, отображены результаты сравнительного анализа времени задержки для вычисления суммы и разности входных чисел с помощью последовательного и параллельного вычислителей.

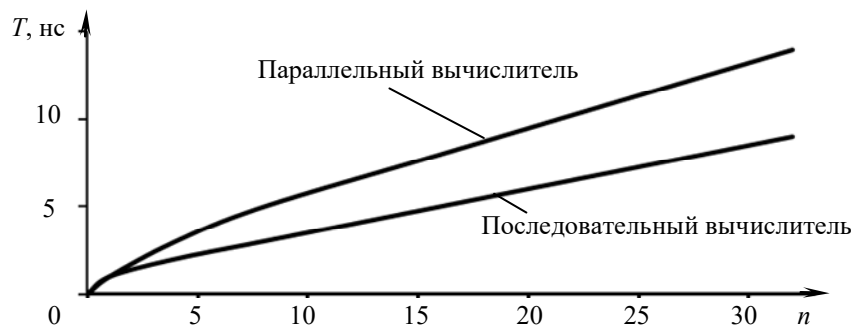


Рис. 5

Итак, арифметический вычислитель, выполняющий операции сложения и вычитания чисел в формате с фиксированной запятой в прямом коде, может быть использован в задачах вычислительной модульной системы для разработки специализированных микропроцессоров. Сумма и разность одноразрядных двоичных чисел вычисляются на нейроразнообразном

элементе по формуле $S_i/R_i=(P_{i+1}/Z_{i-1})\oplus A_i\oplus B_i$. Перенос P_i из младшего разряда в старший выполняется по формуле $P_i = A_i B_i \vee P_{i+1} A_i \vee P_{i+1} B_i$. Заем Z_i из старшего разряда в младший вычисляется по формуле $Z_i = \bar{A}_i B_i \vee Z_{i-1} \bar{A}_i \vee Z_{i-1} B_i$. Перенос и заем вычисляются на нейроподобном и пороговом элементах, которые не приводят к аппаратным избыточным затратам цифровых специализированных модулей.

Скорость вычислений арифметических операций увеличится за счет реализации параллелизма при обработке данных, а также использования нейроподобных элементов, что позволит снизить аппаратную сложность устройств.

СПИСОК ЛИТЕРАТУРЫ

1. Шевченко В. П. Вычислительные системы, сети и телекоммуникации. М.: КноРус, 2022. 288 с.
2. Старков В. В. Архитектура персонального компьютера. Организация, устройство, работа. М.: Горячая линия — Телеком, 2022. 538 с.
3. Киселев С. В. и др. Аппаратные средства персонального компьютера. М.: Академия, 2022. 625 с.
4. Трофимов В. В. и др. Информационные технологии. М.: Юрайт, 2022. 392 с.
5. Кузин А. В., Демин В. М. Компьютерные сети. М.: Форум, Инфра-М, 2022. 385 с.
6. Шелухин О. И., Тенякшев А. М., Осин А. В. Моделирование информационных систем. М.: Радиотехника, 2022. 368 с.
7. Рыбин С. В. Дискретная математика и информатика. СПб: Лань, 2022. 749 с.
8. Гуревич Д. З., Елизаров В. Н., Рувинский Б. И. Большие интегральные схемы и вычислительные машины четвертого поколения. М.: ЦНИИ „Электроника“, 2021. 783 с.
9. Пат. 2780299 РФ. Параллельный сумматор-вычитатель на элементах нейронной логики / С. С. Шевелев. Оpubл. 21.09.2022. Бюл. № 7.
10. Гаврилов М. В., Климов В. А. Информатика и информационные технологии. М.: Юрайт, 2022. 383 с.
11. Хогдал Д. С. Анализ и диагностика компьютерных сетей. М.: ЛОРИ, 2022. 350 с.
12. Хлебников А. А. Информационные технологии. М.: КноРус, 2021. 466 с.
13. Микропроцессоры и микропроцессорные системы / Под ред. В. Б. Смолова. М.: Радио и связь, 2022. 328 с.
14. Шевелев С. С. Устройство выполнения логических и арифметических операций // Программная инженерия. 2021. Т. 12, № 7. С. 350—357. DOI: 10.17587/prin.12.350—357.
15. Трояновский В. М. Информационно-управляющие системы и прикладная теория случайных процессов. М.: Гелиос АРВ, 2022. 390 с.
16. Никитюк Н. М. Микропроцессоры и микро-ЭВМ. Применение в приборостроении и в научных исследованиях. М.: Энергоиздат, 2022. 168 с.
17. Shevelev S. S. Parallel-sequential adder-subtractor with the highest digits forward on neurons // Neurocomputers. 2021. Vol. 23, N 3. P. 5—14. DOI: 10.18127/j19998554-202103-01/.
18. Пат. 2739343 РФ. Устройство поразрядного вычисления логических и арифметических операций / С. С. Шевелев. Оpubл. 23.12.2020. Бюл. № 36.

Сведения об авторах

Виталий Семенович Титов

— д-р техн. наук, профессор; Юго-Западный государственный университет, кафедра вычислительной техники; E-mail: vt.swsu@yandex.ru

Сергей Степанович Шевелев

— канд. техн. наук, доцент; Юго-Западный государственный университет, кафедра информационной безопасности; E-mail: schewelew@mail.ru

Поступила в редакцию 02.06.2023; одобрена после рецензирования 24.08.2023; принята к публикации 27.09.2023.

REFERENCES

1. Shevchenko V.P. *Vychislitel'nyye sistemy, seti i telekommunikatsii* (Computing Systems, Networks and Telecommunications), Moscow, 2022, 288 p. (in Russ.)
2. Starkov V.V. *Arkhitektura personal'nogo komp'yutera. Organizatsiya, ustroystvo, rabota* (Architecture of a Personal Computer. Organization, Arrangement, Work), Moscow, 2022, 538 p. (in Russ.)
3. Kiselev S.V. et al. *Apparatnyye sredstva personal'nogo komp'yutera* (Personal Computer Hardware), Moscow, 2022, 625 p. (in Russ.)
4. Trofimov V.V. et al. *Informatsionnyye tekhnologii* (Information Technologies), Moscow, 2022, 392 p. (in Russ.)
5. Kuzin A.V., Demin V.M. *Komp'yuternyye seti* (Computer Networks), Moscow, 2022, 385 p. (in Russ.)
6. Shelukhin O.I., Tenyakshev A.M., Osin A.V. *Modelirovaniye informatsionnykh sistem* (Modeling of Information Systems), Moscow, 2022, 368 p. (in Russ.)
7. Rybin S.V. *Diskretnaya matematika i informatika* (Discrete Mathematics and Computer Science), St. Petersburg, 2022, 749 p.
8. Gurevich D.Z., Elizarov V.N., Ruvinsky B.I. *Bol'shiye integral'nyye skhemy i vychislitel'nyye mashiny chetvertogo pokoleniya* (Large Integrated Circuits and Computing Machines of the Fourth Generation), Moscow, 2021, 783 p. (in Russ.)
9. Patent RU 2780299, *Parallelnyy summator-vychitatel' na elementakh neyronnoy logiki* (Parallel Adder-Subtractor on Elements of Neural Logic), S. Shevelev, Patent application no. 2020129345, Priority 04.09.2020, Published 21.09.2022, Bulletin 7. (in Russ.)
10. Gavrilov M.V., Klimov V.A. *Informatika i informatsionnyye tekhnologii* (Informatics and Information Technologies), Moscow, 2022, 383 p. (in Russ.)
11. Haugdahl J.S. *Network Analysis and Troubleshooting*, Addison-Wesley Professional, 2000, 357 p.
12. Khlebnikov A.A. *Informatsionnyye tekhnologii* (Information Technologies), Moscow, 2021, 466 p. (in Russ.)
13. Smolov V.B., ed., *Mikroprotsessory i mikroprotsessornyye sistemy* (Microprocessors and Microprocessor Systems), Moscow, 2022, 328 p. (in Russ.)
14. Shevelev S.S. *Programmnyaya Ingeneria*, 2021, no. 7(12), pp. 350–357, DOI: 10.17587/prin.12.350-357.
15. Troyanovsky V.M. *Informatsionno-upravlyayushchiye sistemy i prikladnaya teoriya sluchaynykh protsessov* (Information and Control Systems and Applied Theory of Random Processes), Moscow, 2022, 390 p. (in Russ.)
16. Nikityuk N.M. *Mikroprotsessory i mikro-EVM. Primeneniye v priborostroyenii i v nauchnykh issledovaniyakh* (Microprocessors and Microcomputers. Application in Instrumentation and Scientific Research), Moscow, 2022, 168 p. (in Russ.)
17. Shevelev S.S. *Neurocomputers*, 2021, no. 3(23), pp. 5–14, DOI: <https://doi.org/10.18127/j19998554-202103-01>.
18. Patent RU 2739343, *Ustroystvo porazryadnogo vychisleniya logicheskikh i arifmeticheskikh operatsiy* (Device for Bit-by-Bit Calculation of Logical and Arithmetic Operations), S. Shevelev, Patent application no. 2020129326, Priority 04.09.2020, Published 23.12.2020, Bulletin 36. (in Russ.)

Data on authors

- Vitaliy S. Titov** — Dr. Sci., Professor; The Southwest State University, Department of Computer Technique; E-mail: vt.swsu@yandex.ru
- Sergey S. Shevelev** — PhD, Associate Professor; The Southwest State University, Department of Information Security; E-mail: schewelev@mail.ru

Received 02.06.2023; approved after reviewing 24.08.2023; accepted for publication 27.09.2023.